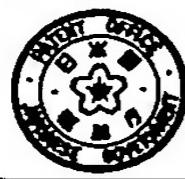


(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09275478 A**

(43) Date of publication of application: **21.10.97**

(51) Int. Cl

**H04N 1/21
G09G 5/00**

(21) Application number: **08110432**

(71) Applicant: **RICOH CO LTD**

(22) Date of filing: **06.04.96**

(72) Inventor: **OKUBO HIROKI**

(54) DATA PROCESSING UNIT

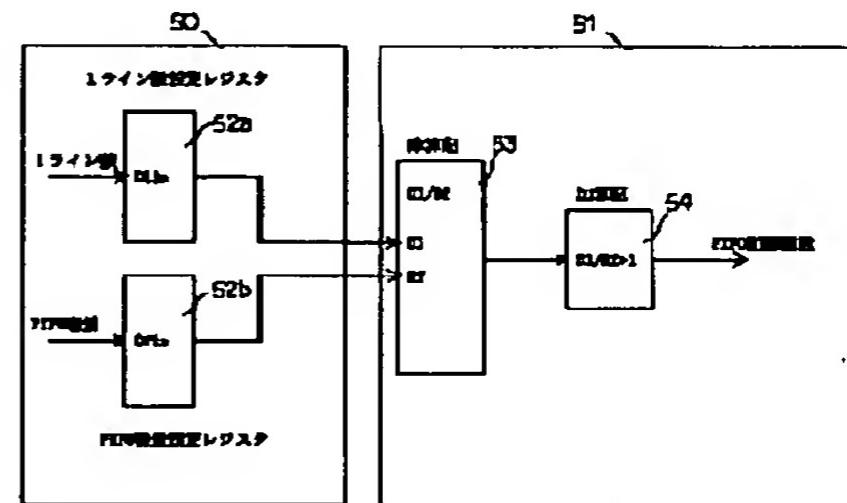
of the system is improved.

(57) Abstract:

COPYRIGHT: (C)1997,JPO

PROBLEM TO BE SOLVED: To provide the data processing unit in which data setting and selection and arithmetic operation and control of data processing are conducted while relieving the load on the firmware.

SOLUTION: A signal processing section of a digital copying machine is provided with a 1-line number setting register 52 receiving 1-line number data and with a capacity setting register 52 receiving capacity data of an FIFO memory, and a divider 53 connecting to the 1-line number setting register 52 and the capacity setting register 52 calculates division of the 1-line number data and the capacity data. An adder 54 connecting to the divider 53 adds 1 to the quotient, fractions are omitted and then the repetitive access number to addresses of the FIFO is calculated. Thus, the data management between the valid print picture element number and the maximum storage capacity is conducted by relieving the load of the firmware and the calculation of a phase difference between the write start address and the read start address by an external firmware is not required and then the control efficiency



THIS PAGE BLANK (USPTO)

特開平9-275478

(43)公開日 平成9年(1997)10月21日

(51) Int.Cl. ⁶ H 04 N 1/21 G 09 G 5/00	識別記号 555	庁内整理番号 F I H 04 N 1/21 G 09 G 5/00	技術表示箇所 555 W
---	-------------	---	-----------------

審査請求 未請求 請求項の数7 FD (全21頁)

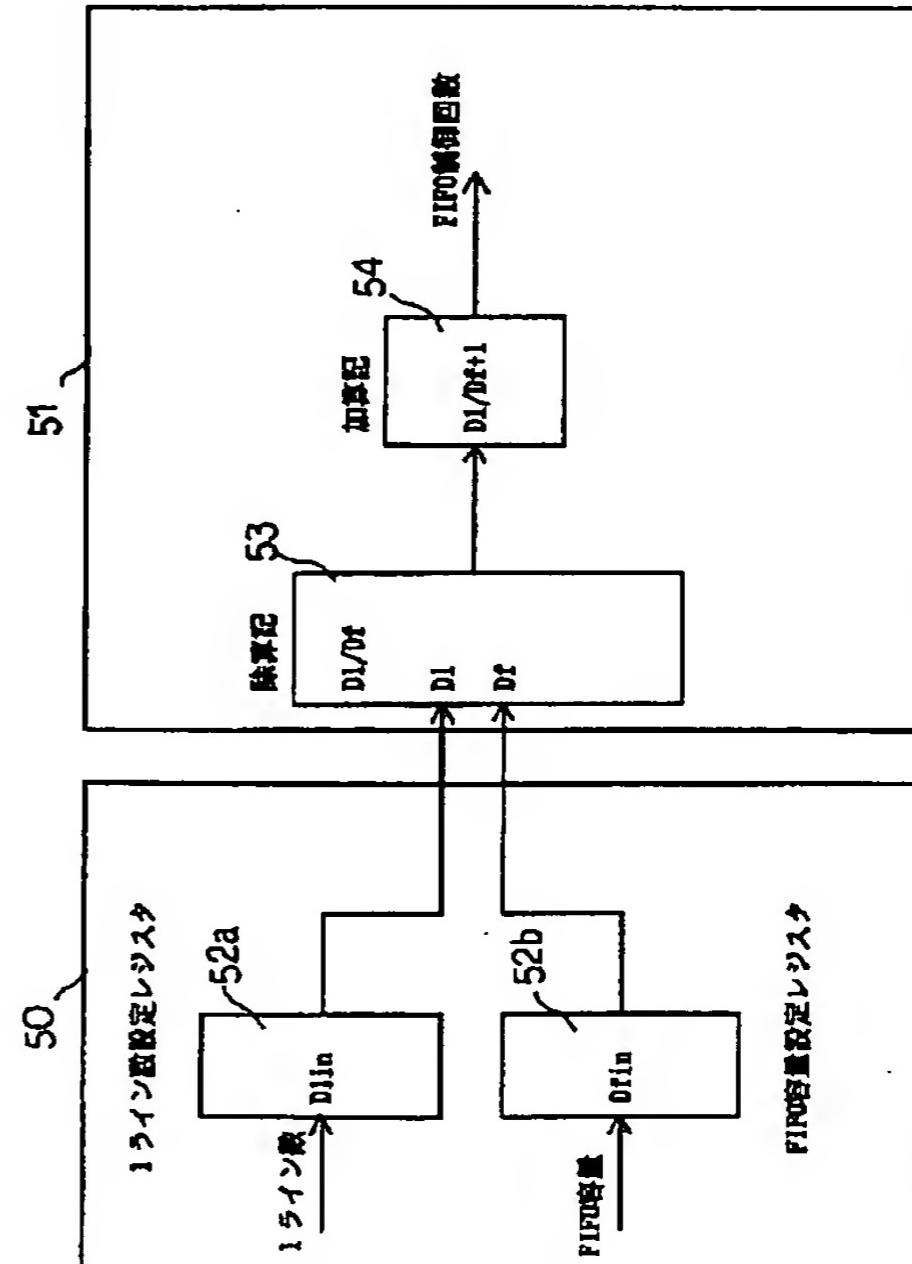
(21)出願番号 特願平8-110432	(71)出願人 株式会社リコー 東京都大田区中馬込1丁目3番6号
(22)出願日 平成8年(1996)4月6日	(72)発明者 大久保 博樹 東京都大田区中馬込1丁目3番6号 株式 会社リコー内

(54)【発明の名称】データ処理装置

(57)【要約】

【課題】 データの設定や選択及びデータ処理の演算や制御を、ファームウェアの負担を低減して行うことが可能なデータ処理装置を提供する。

【解決手段】 ディジタル複写機の信号処理部に、1ライン数データが入力される1ライン数設定レジスタ52と、FIFOメモリの容量データが入力される容量設定レジスタ52とが設けられ、1ライン数設定レジスタ52及び容量設定レジスタ52に接続された除算器53で、1ライン数データと容量データの除算値が演算され、除算器53に接続された加算器54で演算値に1が加算され、少数点以下が省略されて、FIFOのアドレスへのアクセスの繰返数が演算され、有効印刷画素数と最大記憶容量間のデータ管理を、ファームウェアの負荷を低減して行い、外部ファームウェアによる書込開始アドレスと読出開始アドレス間の位相差の算出が不要となり、システムの制御効率を向上させることが可能になる。



【特許請求の範囲】

【請求項1】 ドットマトリクスの画像データの1ライン未満の記憶容量を具備し、データの書込とデータの読み出しが独立して同時に実行可能なFIFOメモリと、書込アドレスを、書込開始アドレスから書込終端アドレスまで順次インクリメントし、前記書込終端アドレスから前記書込開始アドレスに戻って、前記FIFOメモリに1ラインごとの画像データを繰り返して書込むデータ書込手段と、
読み出アドレスを、読み出開始アドレスから読み出終端アドレスまで順次インクリメントし、前記読み出終端アドレスから前記読み出開始アドレスに戻って、前記FIFOメモリから1ラインごとの画像データを繰り返して読み出すデータ読み出手段と、
前記1ライン分のドット数と前記FIFOメモリの最大記憶容量とを、それぞれ独立に設定する設定手段とを有することを特徴とするデータ処理装置。

【請求項2】 ドットマトリクスの画像データの1ライン未満の記憶容量を具備し、データの書込とデータの読み出しが独立して同時に実行可能なFIFOメモリと、書込アドレスを、書込開始アドレスから書込終端アドレスまで順次インクリメントし、前記書込終端アドレスから前記書込開始アドレスに戻って、前記FIFOメモリに1ラインごとの画像データを繰り返して書込むデータ書込手段と、
読み出アドレスを、読み出開始アドレスから読み出終端アドレスまで順次インクリメントし、前記読み出終端アドレスから前記読み出開始アドレスに戻って、前記FIFOメモリから1ラインごとの画像データを繰り返して読み出すデータ読み出手段と、
前記データ書込手段の書込クロックと、前記データ読み出手段の読み出クロックとの速度比を演算する速度比演算手段とを有することを特徴とするデータ処理装置。

【請求項3】 請求項1記載のデータ処理装置に対して、

前記1ラインのドット数を、前記FIFOの記憶容量で除算し、得られる除算値に1を加え少数点以下を省略した数値を、繰返数として設定する繰返数設定手段と、該繰返数設定手段で設定された繰返数に基づいて、前記FIFOメモリのアドレスに対するアクセスを制御するアクセス制御手段とが設けられていることを特徴とするデータ処理装置。

【請求項4】 請求項2記載のデータ処理装置に対して、

前記速度比演算手段で演算された速度比に基づいて、前記データ書込手段の書込開始タイミングと、前記データ読み出手段の読み出開始タイミングとの位相差を、相対的に可変設定する位相差設定手段が設けられていることを特徴とするデータ処理装置。

【請求項5】 請求項2記載のデータ処理装置に対して、

て、

前記書込クロックの速度と前記読み出クロックの速度との大小を判定する速度判定手段が設けられていることを特徴とするデータ処理装置。

【請求項6】 請求項5記載のデータ処理装置に対して、前記判定手段の判定結果に基づいて、前記データ書込手段と前記データ読み出手段とを制御する書込・読み出制御手段が設けられていることを特徴とするデータ処理装置。

【請求項7】 請求項6記載のデータ処理装置に対して、前記読み書き制御手段の制御を、コマンド制御によって選択する選択手段が設けられていることを特徴とするデータ処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複写機などの画像形成装置に適用され、メモリに対する画像データの書込と読み出とを相互に対応制御して行い、読み出データで画像形成を行うデータ処理装置に関する。

【0002】

【従来の技術】従来のデジタル複写機では、図15に示すように、原稿画像を読み取り読み取った画像データを出力する画像読み取部2に、入力される画像データに信号処理を施す信号処理部3が接続され、信号処理部3には画像データに基づいて原稿画像のプリントを行う画像印刷部4が接続されている。画像読み取部2では、コンタクトガラス5の下方に、主走査方向に細長いライン光源6及び反射ミラー7からなる第1走査ユニット8と、一対の反射ミラー9、10からなる第2走査ユニット11とが、速度比が2対1となるように、副走査方向に移動自在に配置されており、第1走査ユニット8に対向して、結像レンズ12が配設され、結像レンズ12の結像位置にCCDセンサ13が配設されている。

【0003】信号処理部3では、画像読み取部2のCCDセンサ13で光電変換された画像信号が入力されるアンプ14に、ADコンバータ15が接続され、ADコンバータ15に各種の信号処理を行う画像処理回路16が接続され、画像処理回路16には、画像データが一時記憶されるバッファメモリ17が接続され、バッファメモリ17には、データの読み出開始タイミングを制御する書込制御部18が接続され、書込制御部18には、画像印刷部4の駆動をするLD変調部19が接続されている。

【0004】画像印刷部4では、信号処理部3のLD変調部19で駆動されるLD(レーザダイオード)20の出射光路に、コリメータレンズ21、コリメータレンズ21の後段にシリンドレカルレンズ22が配設され、シリンドリカルレンズ22の後段には、主走査方向に回転自在なポリゴンミラー23が配設されている。ポリゴンミラー23の主走査光路にfθレンズ24が配設され、

$f\theta$ レンズ24の後段に反射ミラー25が配設され、反射ミラー25の後段に、副走査方向に回転自在で、原稿画像の静電潜像が形成される感光体ドラム26が配設されている。また、ポリゴンミラー23の主走査光が感光体ドラム26に入射する直前位置に、フォトセンサからなる同期検知器27が配設され、同期検知器27の出力端子は、書込制御部18に接続されている。

【0005】このような構成の従来のデータ処理装置では、画像読取部2において、コンタクトガラス5に載置されている原稿の画像が、第1走査ユニット8及び第2走査ユニット11で副走査方向に光学的に読み取り走査され、原稿画像の光学信号が、結像レンズ12により、CCD13に結像されて電気信号に変換される。CCDセンサ13からは、画像データの電気信号が、副走査方向に連続する主走査ラインとして1ラインずつ出力され、アンプ14に入力され増幅された後に、ADコンバータ15でAD変換され、画像処理回路16に入力される。

【0006】この場合、CCDセンサ13からは、ライン同期信号(L SYNC)によりアドレスがリセットされてから、所定の画像クロックで主走査方向に、1ラインの画像データが1画素ずつ出力され、この画像データは、第1走査ユニット8、第2走査ユニット11の走査速度、CCDセンサ13の読み取り周期などに依存する所定のライン同期で、1ラインずつ出力されることになる。

【0007】画像処理回路16では、明度補正処理、変倍処理、編集処理などの各種の処理が行われ、処理後に画像データはバッファメモリ17に格納される。そして、書込制御部18からのタイミング制御信号によって、バッファメモリ17の画像データが書込制御部18に読み出され、書込制御部18によって、範囲制限やパターン合成などの処理が実行された後に、画像データはLD変調部19に入力される。

【0008】LD変調部19からは、画像データで変調された駆動電流がLD20に入力され、LD20からは画像データに対応する光信号が出射され、この光信号はコリメータレンズ21とシリンドリカルレンズ22を通して、ポリゴンミラー23で偏向走査され、走査光は $f\theta$ で補正されて感光体ドラム26の被走査面に結像され、感光体ドラム26にはドットマトリクスの静電潜像が形成され、この静電潜像がトナーで現像され、転写紙に転写されて原稿画像の印刷が行われる。

【0009】この場合、画像印刷部4において、ポリゴンミラー23からの主走査光が、感光体ドラム26に入射する直前に、同期検知器27に入射し、同期検知器27から同期検知信号DETPが出力されて、書込制御部18に入力される。この同期検知信号DETPに基づいて、書込制御部18からタイミング制御信号がバッファメモリ17に入力され、バッファメモリ17に一時格納された画像データは、画像印刷部4の印刷出力として、

適切なタイミングで順次読み出される。

【0010】図15に示す従来のデータ処理装置では、画像読取部2から信号処理部3への画像データの書込と、信号処理部3から画像印刷部4への画像データの読み出しとを連続的に実行するために、バッファメモリ17を2系列として、2ラインの画像データを使用して、一方の系列に1ラインの画像データを書込んでいる間に、他方の系列から事前に書込まれた1ラインの画像データを読み出している。

10 【0011】一方、特開平4-170857号公報には、2系列のバッファメモリを使用し、データ書込よりデータ読み出しを高速に設定し、データ書込とデータ読み出しとを非同期的に開始し、一方のバッファメモリにデータ書込とデータ読み出しとを同時に実行しても、書込アドレスが読み出アドレスに追い付かず、効率的なバッファメモリの使用をする方法が開示されている。

【0012】また、この種のデータ処理装置において、装置の構成を簡単にして1系列のバッファメモリによって、画像データの読み書きを円滑に行うために、バッファメモリへの書込タイミングと読み出タイミングの位相を相対的に可変にする方式のものや、さらに、書込開始信号と読み出開始信号間に信号遅延手段を設けて制御を行うことによつて、1ライン未満の記憶容量を持つ1系列のバッファメモリで画像データの読み書きを可能にするデータ処理装置が提案されている。

【0013】

【発明が解決しようとする課題】この提案に係るデータ処理装置によると、1系列の1ライン未満の記憶容量のバッファメモリを使用して、画像形成のための画像データの書込・読み出しが可能になるが、1ラインのドット数とバッファメモリの最大容量とをファームウェアで検出し、1ライン当たりのバッファメモリのアクセス回数を別途演算する必要があり、バッファメモリの書込クロックと読み出クロックの周波数も、書込アドレスと読み出アドレスの関係に基づいて別途演算し、得られた周波数を供給する必要がある。

40 【0014】また、1ライン当たりのバッファメモリのアクセス回数によるデータの書込開始タイミングと、データの読み出開始タイミングとの位相差を予め演算するために、ファームウェアの負担が大きい。さらに、書込開始タイミングと読み出開始タイミングとの位相差を変化させるために、ファームウェアを介在させて、位相可変手段に対して、外部から可変量を設定する必要があった。また、提案に係るデータ処理装置によると、書込クロックの周波数と読み出クロックの周波数との間の周波数条件が変化した場合の信頼性の上でも問題がある。

【0015】本発明は、前述したようなデータ処理装置の現状に鑑みてなされたものであり、その第1の目的は、データの設定や選択及びデータ処理の演算や制御を、ファームウェアの負担を低減して行うことが可能な

データ処理装置を提供することにある。

【0016】また、本発明の第2の目的は、書込クロックの周波数と読出クロックの周波数との間の周波数条件の変化に対応可能なデータ処理装置を提供することにある。

【0017】

【課題を解決するための手段】前記第1の目的を達成するるために、請求項1記載の発明によると、ドットマトリクスの画像データの1ライン未満の記憶容量を具備し、データの書込とデータの読み出しとが独立して同時に実行可能なFIFOメモリと、書込アドレスを、書込開始アドレスから書込終端アドレスまで順次インクリメントし、前記書込終端アドレスから前記書込開始アドレスに戻って、前記FIFOメモリに1ラインごとの画像データを繰り返して書込むデータ書込手段と、読み出アドレスを、読み出開始アドレスから読み出終端アドレスまで順次インクリメントし、前記読み出終端アドレスから前記読み出開始アドレスに戻って、前記FIFOメモリから1ラインごとの画像データを繰り返して読み出すデータ読み出手段と、前記1ライン分のドット数と前記FIFOメモリの最大記憶容量とを、それぞれ独立に設定する設定手段とを有することを特徴とするものである。

【0018】同様に前記第1の目的を達成するために、請求項2記載の発明は、ドットマトリクスの画像データの1ライン未満の記憶容量を具備し、データの書込とデータの読み出しとが独立して同時に実行可能なFIFOメモリと、書込アドレスを、書込開始アドレスから書込終端アドレスまで順次インクリメントし、前記書込終端アドレスから前記書込開始アドレスに戻って、前記FIFOメモリに1ラインごとの画像データを繰り返して書込むデータ書込手段と、読み出アドレスを、読み出開始アドレスから読み出終端アドレスまで順次インクリメントし、前記読み出終端アドレスから前記読み出開始アドレスに戻って、前記FIFOメモリから1ラインごとの画像データを繰り返して読み出すデータ読み出手段と、前記データ書込手段の書込クロックと、前記データ読み出手段の読み出クロックとの速度比を演算する速度比演算手段とを有することを特徴とするものである。

【0019】同様に前記第1の目的を達成するために、請求項3記載の発明は、請求項1記載のデータ処理装置に対して、前記1ラインのドット数を、前記FIFOの記憶容量で除算し、得られる除算値に1を加え少数点以下を省略した数値を、繰返数として設定する繰返数設定手段と、該繰返数設定手段で設定された繰返数に基づいて、前記FIFOメモリのアドレスに対するアクセスを制御するアクセス制御手段とが設けられていることを特徴とするものである。

【0020】同様に前記第1の目的を達成するために、請求項4記載の発明は、請求項2記載のデータ処理装置に対して、前記速度比演算手段で演算された速度比に基

づいて、前記データ書込手段の書込開始タイミングと、前記データ読み出手段の読み出開始タイミングとの位相差を、相対的に可変設定する位相差設定手段が設けられていることを特徴とするものである。

【0021】前記第2の目的を達成するために、請求項5記載の発明は、請求項2記載の発明に対して、前記書込クロックの速度と前記読み出クロックの速度との大小を判定する速度判定手段が設けられていることを特徴とするものである。

【0022】同様に前記第2の目的を達成するために、請求項6記載の発明は、請求項5記載の発明に対して、前記判定手段の判定結果に基づいて、前記データ書込手段と前記データ読み出手段とを制御する書込・読み出制御手段が設けられていることを特徴とするものである。

【0023】同様に前記第2の目的を達成するために、請求項7記載の発明は、請求項6記載の発明に対して、前記読み書き制御手段の制御を、コマンド制御によって選択する選択手段が設けられていることを特徴とするものである。

【0024】

【発明の実施の形態】

【第1の実施の形態】本発明の第1の実施の形態を、図1ないし図10を参照して説明する。先ず、図1ないし図5を参照して、本実施の形態の構成を説明する。図1は本実施の形態の繰返数設定手段の構成を示すブロック図、図2は本実施の形態の速度比較演算手段と位相差設定手段の構成を示すブロック図、図3は本実施の形態が適用されるデジタル複写機の構成を示すブロック図、図4は図3の画像入力部の構成を示すブロック図、図5は図3の印刷制御部の構成を示す回路図であり、これらの図において、すでに説明した図15と同一部分には同一符号が付されている。

【0025】本実施の形態が適用される複写機1Aは、図3に示すように、信号処理部3Aに画像印刷部4が接続された構成で、信号処理部3Aでは、原稿画像の入力を行う画像入力部30に、画像データが一時的に格納されるFIFOメモリ31が接続され、FIFOメモリ31には画像印刷の制御を行う印刷制御部32が接続され、印刷制御部32にLD変調部19が接続され、さらに、後述するポリゴンミラー同期パルス信号XPMSTYCと、印刷制御部32に入力される同期検知パルス信号XDETPとの位相を相対的に変更する位相変更回路33が設けられている。

【0026】画像印刷部4には、原稿画像データに応じて駆動されるLD20、原稿画像に対応する静電潜像が形成されるポリゴンミラー23、書込の同期を取り同期検知器27及び原稿画像のトナー像が形成される感光体ドラム26が設けられ、LD20がLD変調部19に接続され、同期検知器27が印刷制御部32と位相変更回路33とに接続されている。

【0027】FIFOメモリ31は、ドットマトリクスの画像データの1ラインに満たない記憶容量を具備し、書込アドレスに対応したデータ書込と、読出アドレスに対応したデータ読出とが同時に独立して実行可能で、画像入力部30からの書込開始信号に次ぐ所定周期の書込クロックによって、書込アドレスが順次インクリメントされ、画像データが書込まれるようになっている。また、印刷制御部32は、画像入力部30とは独立した所定周期の読出クロックで、読出開始信号に次ぐ所定周期の読出クロックによって、FIFOメモリ31から読出アドレスを順次インクリメントして画像データを読み出すように構成されている。

【0028】FIFOメモリ31は、図3に示すように、書込まれる画像データDinの入力端子、読み出される画像データDoutの出力端子、書込イネーブル信号XWRの入力端子、読み出イネーブル信号XREの入力端子、書込みセット信号XWRESの入力端子、読み出しセット信号XRRESの入力端子、書込クロックWCLKの入力端子、読み出クロックRCLKの入力端子、書込アドレスをポイントする書込アドレスピント、読出アドレスをポイントする読出アドレスピントを備えている。

【0029】ここで、FIFOメモリ31の入力信号で表示符号の先頭がXのものは、信号がアクティブローであることを示し、書込アドレスピントでポイントされる書込アドレスは、書込みセット信号XWRESにより“0”にリセットされ、書込イネーブル信号XWEがアクティブの場合に書込クロックWCLKでインクリメントされるようになっている。さらに、書込アドレスがFIFOメモリ31の最終アドレスに達すると、次の書込クロックWCLKで書込アドレスは“0”にリセットされ、さらに順次インクリメントされるようになっている。

【0030】同様に、読出アドレスピントでポイントされる読出アドレスは、読み出しセット信号XRRESにより“0”にリセットされ、読み出イネーブル信号XREがアクティブの場合に、読み出クロックRCLKでインクリメントされ、読み出アドレスがFIFOメモリ31の最終アドレスに達すると、次の読み出クロックRCLKで読み出アドレスは“0”にリセットされ、さらに順次インクリメントされるようになっている。

【0031】画像入力部30は、図4に示すように、FIFOメモリ31の書込クロックWCLKとなる入力画素クロックSCLKを発生するクロック発生回路34を具備しており、ポリゴンミラー同期パルス信号XPMSYNCの入力端子、FIFOメモリ31に書き込まれる画像データの出力端子、FIFOメモリ31の書込イネーブル信号XWEとなるXSLGATE信号の出力端子、FIFOメモリ31の書込みセット信号XWRESとなるXLSYNC信号の出力端子を具備している。

【0032】また、印刷制御部32は、図3に示すように、FIFOメモリ31から読み出す画像データの入力端子、FIFOメモリ31の読み出イネーブル信号XREとなるXREF信号の出力端子、FIFOメモリ31の読み出リセット信号XRRESとなるXRRESF信号の出力端子、FIFOメモリ31の読み出クロックRCLKの出力端子、LD変調器19を介して画像印刷部4に画像データを伝送する印刷画素クロックPCLKの出力端子、読み出開始信号となる印刷部4の同期検知パルス信号XDETPの入力端子を備えている。

【0033】印刷制御部32では、図5に示すように、クロック発生回路36に接続されたクロック同期回路35に、同期検知パルス信号XDETPの入力端子が設けられ、このクロック同期回路35の出力端子が、主走査カウンタ38に接続され、また、CPU44の出力端子がCPU1/Fレジスタ45に接続されている。そして、主走査カウンタ38とCPU1/Fレジスタ45の出力端子が、LD変調部19の駆動信号を出力するコンパレータ40、画像データの印刷タイミングと有効印刷領域とを設定する信号を出力するコンパレータ41、及び書込開始信号を出力するコンパレータ42が接続されている。さらに、コンパレータ41の出力端子が、一方の入力端子に画像データが入力されるAND回路47の他方の入力端子に、反転回路を介して入力され、コンパレータ40の出力端子が、一方の入力端子にAND回路47の出力端子が接続されたOR回路46の他方の入力端子に接続されている。

【0034】特に本実施の形態では、デジタル複写機1Aの信号処理部3Aに、図1に示すようなレジスタ50と、このレジスタ50に接続された演算回路51とが設けられている。

【0035】レジスタ50には、1ライン数データが入力される1ライン数設定レジスタ52aと、FIFO容量データが入力される容量設定レジスタ52bとが設けられており、演算回路51には、1ライン数設定レジスタ52aの出力端子と容量設定レジスタ52bの出力端子とが入力端子に接続された除算器53と、除算器53の出力端子が入力端子に接続され、除算器53の演算値に1を加算する加算器54とが設けられている。

【0036】また、本実施の形態では、デジタル複写機1Aの信号処理部3Aに、図2に示すように、演算回路55とこの演算回路55に接続された位相差演算器56とが、図3の位相変更回路33に代えて設けられている。

【0037】演算回路55には、読み出クロックが入力されるカウンタ57と、書込クロックが入力されるカウンタ58とが設けられ、カウンタ57にはフリップフロップ59が、カウンタ58にはフリップフロップ60がそれぞれ接続され、フリップフロップ59、60の出力端子には除算器61が接続され、除算器61の出力端子が

位相差演算器56に接続されている。

【0038】次に、本実施の形態の動作を、図6ないし図10を参照して説明する。図6は本実施り形態の画像データの書込・読出動作を示すタイムチャート、図7は本実施の形態の書込・読出動作を示す第1の特性図、図8は本実施の形態の書込・読出動作を示す第2の特性図、図9は本実施の形態の書込・読出動作時のアドレス変化を示す特性図、図10は本実施の形態の書込・読出動作時のアドレス変化を示す詳細特性図である。

【0039】FIFOメモリ31への画像データの書込に際しては、図6及び図7に示すように、書込リセット信号XWRESで書込アドレスがリセットされ、書込イネーブル信号XWEがアクティブな状態で、書込クロックWCLK (SCLK) がローからハイに遷移すると、FIFOメモリ31に書込アドレスに応じて画像データが書込まれる。この書込動作ごとに書込アドレスがインクリメントされ、画像データがFIFOメモリ31に書込アドレス0から順次書き込まれ、1ラインの画像データ長がFIFOメモリ31の記憶容量を越える場合には、1ラインの間にFIFOメモリ31に複数回の書込が行われる。

【0040】FIFOメモリ31からの画像データの読出に際しては、読出リセット信号XRRESで読出アドレスがリセットされ、読出イネーブル信号XREがアクティブの状態で、読出クロックRCLK (PCLK) がローからハイに遷移すると、FIFOメモリ31から読出アドレスに応じて画像データが読み出される。この読出動作ごとに読出アドレスがインクリメントされ、画像*

$$\begin{aligned} \text{有効印刷画素数} &= \text{有効印刷幅 (mm)} \times \text{主走査画素密度 (dot/mm)} \\ &= 17 \times 25.4 \times 400 / 25.4 \\ &= 6800 (\text{dot}) \end{aligned} \quad \dots (1)$$

【0045】ここで、2.4kワードのFIFOメモリ31のワード数2458ドットとすると、1ライン数データのFIFOメモリ31の最大容量データでの除算値は、 $6800 / 2458 = 2.766$ となり、繰返数nは3となり、1ライン分のデータをこのFIFOメモリ31で制御する場合には、書込／読出制御を3回行うことになる。

【0046】また、本実施の形態では、演算回路55において、カウンタ57に読出クロックfRがカウンタ58に書込クロックfW ($fW > fR$) が入力され、同時にカウントを開始すると、カウンタ57の方がカウンタ58よりも先にカウンタップし、カウントアップしたカウンタからRC信号(リップルキャリー信号)が出力される。そして、フリップフロップ59、60にRC信号がクロックとして供給され、その時のカウント値を保持させると共に、除算器61にイネーブル信号として入力され、カウンタ57の出力が“FFFF”の時、カウンタ58が“CE84”であれば、 $FFFF / CE84$ で、読出クロックと書込クロックとの周波数比が演算さ

*データがFIFOメモリ31の読み出アドレス0から順次読み出され、1ラインの画像データの長さがFIFOメモリ31の記憶容量を越える場合は、1ラインの間にFIFOメモリ31の同一読み出アドレスに対して、複数回の読み出しが行われる。

【0041】このように、画像入力部30によって、画像データがポリゴンミラー同期パルス信号XPMSYNCを書込リセット信号として、FIFOメモリ31に書込まれ、印刷制御部32によって、FIFOメモリ31から画像データが、同期検知パルス信号XDETPを読み出リセット信号として読み出される。この場合、FIFOメモリ31への画像データの書込と、FIFOメモリ31からの画像データの読み出とは、周期が異なるクロックで独立して実行されるので、データ書込とデータ読み出しが交錯するとエラーが発生する。

【0042】そこで、本実施の形態では、CPU44から1ライン数設定レジスタ52に1ライン数データが、容量設定レジスタ52にFIFOメモリ31の最大容量データがそれぞれ設定されると、除算器53によって1ライン数データが、FIFOメモリ31の最大容量データで除算され、加算器54によって除算値に1が加算され、小数点以下が省略されて繰返数nが演算される。

【0043】例えば、画像印刷部4が縦送りする17inchの印刷用紙に、400dpiで画像を印刷する場合で、ほぼ2.4kワードのライン長のFIFOメモリ31を使用する場合には、有効印刷画素数は次式で演算される。

【0044】

$$\text{有効印刷画素数} = \text{有効印刷幅 (mm)} \times \text{主走査画素密度 (dot/mm)}$$

$$= 17 \times 25.4 \times 400 / 25.4$$

$$= 6800 (\text{dot})$$

れる。

【0047】このようにして得られた演算値が位相演算器56に入力され、FIFOメモリ31のデータ書込開始タイミングと、データ読み出開始タイミングの最適な時間差(位相差)が演算される。

【0048】図9にはFIFOメモリ31を3周させて、書込と読み出を制御する場合のアドレスの遷移状態が示されているが、この場合、書込クロック周波数fW=24.5MHz、読み出クロック周波数fR=33.0MHz、有効印刷画素数6800dot、FIFO容量2.4kワードであり、1ライン終了時点でアドレスポインタが一致するシビアなタイミングで動作しており、余裕分を考慮すると※部分の長さは右側に移動する。

【0049】図9における書込クロックと読み出クロックとの比の関係は、図10に明確に示されている。同図において、*部分はFIFOメモリ31の1周目の書込開始時期の余裕分に対応する時間であり、FIFOメモリ31への2周目の書込開始までの時間となり、それまでに1周目に書込まれたデータの読み出しが開始すればよいこ

11

となる。これらの図から、最終的に、データ書込手段の書込開始タイミングと、データ読出手段の読出開始タ

$$D = (\text{書込周波数成分} - \text{読出周波数成分}) + *'$$

ここで、(書込周波数成分 - 読出周波数成分) = *

$$*' = \text{余裕分} (0 < *' < *) \quad \dots (2)$$

*23の回転数 (r/s) は、次式により設定される。

【0051】ところで、画像印刷部4のポリゴンミラー※

$$\text{回転数} (r/s) = \frac{\text{副走査画素密度 (line/mm)} \times \text{線速 (mm/s)}}{\text{ポリゴン面数}} \quad \dots (3)$$

【0053】ポリゴンミラー23が、LD20の出射光を偏向走査して主走査光が得られ、この主走査光は感光体ドラム26の直前に配置された同期検知器27に入射し、同期検知器27から、同期検知パルス信号XDETPが、印刷制御部32に出力される。同期検知パルス信★

$$\text{ライン周期 (s)} = \frac{1}{\{\text{副走査画素密度 (line/mm)} \times \text{線速 (mm/s)}\}} \quad \dots (4)$$

【0055】(4)式に示すライン周期で、画像印刷部4から出力される同期検知パルスXDETPが、印刷制御部32に読出開始信号として入力される。

【0056】図5に示すクロック同期回路35から出力☆20

$$\begin{aligned} \text{LD印刷周波数 (Hz)} &= \text{主走査画素密度 (dot/mm)} \times \text{主走査速度 (mm/s)} \\ &= \frac{\text{有効印刷画素数 (dot)}}{\text{ライン周期 (s)}} \times \frac{1}{\text{有効走査期間率}} \quad \dots (5) \end{aligned}$$

【0058】(5)式で有効走査期間率は、レーザプリンタの場合は70~80%である。クロック発生回路36としては水晶発振器やセラミック発振器が使用されるが、PLL周波数シンセサイザを利用すると、周波数が可変となり、画素密度や線速の偏向に対応することが◆

$$\begin{aligned} \text{入力画素周波数 (Hz)} &\geq \text{有効画素数 (dot)} / \text{ライン周期 (s)} \\ &\quad \times \text{有効画像率} \quad \dots (6) \end{aligned}$$

【0061】(6)式の有効画像率は、画像読取部のCCDセンサに存在する無効素子で生じる無効期間から求められるが、無効期間はせいぜい数%程度で、有効画像率は100%に近くなる。

【0062】画像読取部のCCDセンサから出力される画像データは、画像入力部30で各種の処理が実行された後にFIFOメモリ31に書込まれる。この際、画像入力部30では、各種処理のために、データ伝送が副走査方向で数ライン、主走査方向で数10から数百ドット遅延するので、遅延量に対応して、有効な1画素目でXSLGATE信号がアクティブになる。

【0063】このXSLGATE信号は、主走査方向の有効画像領域を示し、これがアクティブになる所定のクロック数前に、主走査同期信号XL SYNC信号が出力される。そして、画像入力部30からXSLGATE信号とXL SYNC信号とが入力されるFIFOメモリ31は、画像入力部30の入力画素クロックSCLKを書き込みクロックWCLKに従って順次記憶することになる。

【0064】印刷制御部32は、画像入力部30により

12

*イミングとの位相差Dは次式で表される。

【0050】

$$D = (\text{書込周波数成分} - \text{読出周波数成分}) + *'$$

ここで、(書込周波数成分 - 読出周波数成分) = *

$$* = \text{余裕分} (0 < * < *) \quad \dots (2)$$

*23の回転数 (r/s) は、次式により設定される。

【0052】

$$\text{回転数} (r/s) = \frac{\text{副走査画素密度 (line/mm)} \times \text{線速 (mm/s)}}{\text{ポリゴン面数}} \quad \dots (3)$$

【0053】ポリゴンミラー23が、LD20の出射光を偏向走査して主走査光が得られ、この主走査光は感光体ドラム26の直前に配置された同期検知器27に入射され、同期検知器27から、同期検知パルス信号XDETPが、印刷制御部32に出力される。同期検知パルス信★

【0054】

$$\text{ライン周期 (s)} = \frac{1}{\{\text{副走査画素密度 (line/mm)} \times \text{線速 (mm/s)}\}} \quad \dots (4)$$

☆される印刷画素クロックPCLKは、LD印刷周波数となり次式で与えられる。

【0057】

$$\begin{aligned} \text{LD印刷周波数 (Hz)} &= \text{主走査画素密度 (dot/mm)} \times \text{主走査速度 (mm/s)} \\ &= \frac{\text{有効印刷画素数 (dot)}}{\text{ライン周期 (s)}} \times \frac{1}{\text{有効走査期間率}} \quad \dots (5) \end{aligned}$$

◆きる。

【0059】また図4に示す画像入力部30が具備するクロック発生回路34が発生する入力画素クロックSCLKの入力画素周波数は、次式で与えられる。

【0060】

$$\begin{aligned} \text{入力画素周波数 (Hz)} &\geq \text{有効画素数 (dot)} / \text{ライン周期 (s)} \\ &\quad \times \text{有効画像率} \quad \dots (6) \end{aligned}$$

FIFOメモリ31に書込まれた画像データに対して、FIFOメモリ31からの読出動作を制御し、制御された読出動作で画像データを読み出してLD変調部19を介して画像印刷部4に伝送する機能を備えている。

【0065】クロック発生回路36からの印刷画素クロックは、クロック同期回路35で、画像印刷部4からの同期検知パルスXDETPに同期して、PCLKとして出力され、同期検知パルスXDETPはPCLKと同期されて、所定パルス幅のXDETP1信号となる。XDETP1信号は、XRRES信号としてFIFOメモリ31に供給され、読出リセット信号XRRESとなって読出アドレスをリセットする。また、クロック同期回路35からのXDETP1信号は、主走査カウンタ38のリセット端子に入力され、主走査カウンタ38をリセットする。

【0066】主走査カウンタ38は、XDETP1信号でリセットされてPCLKでインクリメントされるバイナリーカウンタで、カウント値にレーザビームの主走査位置が対応しており、主走査カウンタ38は、1ライン

の走査中にオーバフローしないビット数を具備し、例えば画像印刷部4が縦送りA3サイズの印刷用紙に800 dpiで画像を印刷する場合には、必要なビット数は14ビットとなる。

【0067】コンパレータ40には、CPU44で任意に設定される数値Bが、CPU1/Fレジスタ45を通して入力され、また、主走査カウンタ38からカウント値Aが入力設定され、カウント値Aが数値Bを越えると、コンパレータ40の出力信号がアクティブになる。コンパレータ40の出力信号は、Beam Detect信号としてOR回路46に入力され、画像データと論理和演算され、出力信号によってLD20が発光駆動される。

【0068】この場合、LD20の駆動のタイミングは、主走査光が有効印刷領域を通過後、次の主走査光が同期検知器27に到達するに行う必要があり、フレア防止も行うので、通常は同期検知器27から数mmから數10mm手前に設定される。そして、LD20の主走査光が同期検知器27に入射すると、同期検知器27からの同期検知パルス信号XDETPがアクティブとなり、主走査カウンタ38がリセットされ、カウントが画像印刷部4のライン周期ごとに繰り返し再開されることになる。

【0069】コンパレータ41は、画像データの印刷のタイミングと有効印刷領域とを規定する機能を有し、コンパレータ41では、CPU44により任意に設定される数値C、D(C<D)と、主走査カウンタ38のカウント値Aとが比較され、カウント値Aが設定値Cを越えると、出力信号XRGATEがアクティブとなり、設定値Dを越えるとインアクティブとなる。

【0070】出力信号XRGATEは反転されてAND回路47に入力され、画像データとの論理積が取られ、画像データが選択的にマスクされて、有効画像領域外の画像データが遮断される。また、出力信号XRAGATEは、XREF信号として、FIFOメモリ31に出力され、FIFOメモリ31で、読み出イネーブル信号XREとなって読み出動作をイネーブルする。

【0071】このように、設定値Cにより画像データの主走査の開始位置が設定され、設定値Dによって、主走査の終了位置が設定されるが、これらの数値は、印刷用紙の横幅や搬送位置により変更されるので、機械誤差の調整にも利用される。また、コンパレータ42は、CPU44で任意に設定された数値Eと、主走査カウンタ38のカウント値Aとを比較し、これが一致するとポリゴンミラー同期パルス信号XPMSYNCを出力して画像入力部30に入力する。

【0072】図7及び図8において、横軸の1周期Tは画像印刷幅のライン周期に相当し、この1周期は副走査方向の画素密度と線速とで決定され、縦軸の最大値APmaxは、FIFOメモリ31のワード数、即ちアドレ

ス poイントの最大値で決定される。アドレス poイントの最大値は、ワード数が2458のFIFOメモリ31を使用した例では2457となる。これらの図では、破線はFIFOメモリ31への書き込みアドレスを、実線はFIFOメモリ31からの読み出アドレスを示し、何れも最大サイズの印刷用紙に対応する場合が示されている。

【0073】さらに、図7では書き込みクロックWCLKの周波数が、読み出クロックRCLKの周波数よりも低い場合が、図8では書き込みクロックWCLKの周波数が、読み出クロックRCLKの周波数よりも高い場合が示されている。

【0074】印刷制御部32がFIFOメモリ31からnライン目の画像データを読み出す場合は、読み出リセット信号XRESで読み出アドレスがリセットされ、読み出イネーブル信号XREがアクティブな状態で、読み出クロックRCLKに従って、読み出アドレスに対応して画像データが読み出され、読み出動作の実行ごとに読み出アドレスがインクリメントされる。そして、読み出アドレスがFIFOメモリ31の読み出アドレス poイントの最大値に達すると、この例では読み出アドレスが2457になると、次の読み出クロックRCLKで、読み出アドレスは0に復帰し、読み出イネーブル信号XREがアクティブの期間、さらにインクリメントが繰り返される。

【0075】例えば、A2サイズの短辺の400dpiに達する画素数である6800画素を読み出す場合には、読み出アドレス poイントは、3度目のFIFOメモリ31の読み出の $1884 - 1 = 1883$ までインクリメントされる。

【0076】ここで、読み出イネーブル信号XREは、印刷用紙の主走査方向に対応して、開始と終了とのタイミングが制御されるので、印刷用紙が最大サイズの場合には、図7及び図8に示すように、有効走査期間の最初にアクティブとなり、最後にネガティブとなる。また、印刷用紙が小サイズの場合には、主走査動作と感光体ドラム26との中央が一致するように、アクティブとネガティブとのタイミングが調整される。従って、印刷用紙が小サイズの場合には、読み出す画像の画素数が少なくなるので、読み出イネーブル信号XRES信号のアクティブな時間は短縮される。

【0077】FIFOメモリ31にnライン目の画像データを書込む場合は、書き込みアドレスはn-1ライン目に同期検知パルス信号XDETPを遅延して得られた書き出リセット信号XWRESにより書き込みアドレスがリセットされてから、書き出イネーブル信号XWEがアクティブな状態で、書き込みクロックWCLKに従ってFIFOメモリ31に書き込みアドレスで画像データが書き込まれ、この書き込み動作を実行するたびに書き込みアドレスがインクリメントされる。

【0078】そして、書き込みアドレスがFIFOメモリ31の書き込みアドレス poイントの最大値に達すると、この場

合書込アドレスが2047になった次の書込クロックWCLKで、書込アドレスポインタは0に復帰し、書込イネーブル信号XWEがアクティブな期間、さらにインクリメントを続ける。A2サイズの短辺の400dpiに達する画素数である6614画素を書込む場合には、書込アドレスポインタは、3度目のFIFOメモリ31の書込の1884-1=1883までインクリメントが続けられる。

【0079】ここで、書込イネーブル信号XWEは、読み出イネーブル信号XREのように、用紙幅に対応して開始や終了のタイミングを制御する必要はないので、最大画像の期間だけアクティブにしておけばよい。つまり、書込イネーブル信号XWEは、書込リセット信号XWRESの出力後、予め設定された数クロックから数10クロックの期間後にアマティブとなり、最大画像の書込クロックWCLK後にネガティブとなる。或いは、印刷用紙幅に対応して書込イネーブルのアクティブ期間を変えてもよい。

【0080】前述のようなFIFOメモリ31のデータ書込とデータ読み出を、アドレスで表現すると、すでに示した図7及び図8のようになり、図7の場合は書込クロックWCLKの周波数が最低で、画像入力部30の有効画像が100%に近いので、書込アドレスの傾斜は、破線で示すように緩やかになっている。この書込アドレスの傾斜は、書込周波数fWと読み出周波数fRとの比率で決定され、書込周波数fWが高くなるに従い、書込アドレスの傾斜は順次増大する。

【0081】本実施の形態では、1ラインの書込動作において、FIFOメモリ31の1度目の書込動作を示す破線と、2度目の書込動作を示す破線との間に、FIFOメモリ31の1度目の読み出動作を示す実線が交差することができないように、2度目の書込動作を示す破線の後に2度目の読み出動作を示す実線が交差することができないようにし、一度読み出したアドレスに新しいデータを書き込み、2度目の読み出動作時は、新しい画像データを読み出すことを可能にしている。同様に、3度目の書込動作を示す破線と読み出動作を示す実線とが交差しないように制御して、本実施の形態では、同時に独立して実行するデータ書込とデータ読み出とが干渉することはない。

【0082】このために、書込リセット信号XWRESの出力タイミングを、FIFOメモリ31のデータ書込からデータ読み出までの時間を考慮して、適切に調整することが必要である。

【0083】因みに、書込周波数fWが読み出周波数fRに比して高すぎると、FIFOメモリ31への書込と読み出のタイミングを設定することができなくなる。例えば、1ラインの画像データの1/2のメモリ長のFIFOメモリ31を使用する場合、書込周波数fWが読み出周波数fRの少なくとも2倍以下の周波数であることが要求される。

【0084】このように、本実施の形態によると、データ設定回路50によって、1ライン分のドット数（有効印刷画素数）と1ライン未満のFIFOメモリ31の最大記憶容量とが、それぞれ独立に設定され、これらの設定値に基づいて、繰返数設定回路51によって、有効印刷画素数の最大記憶容量での除算値に1が加算され、少數点以下を省略して繰返数が演算されるので、有効印刷画素数と最大記憶容量間のデータ管理と、書込開始アドレスと読み出開始アドレス間の位相差の演算設定とを、ファームウェアの負荷を低減して行うことが可能になる。

【0085】また、読み出クロックfRと書込クロックfWの速度比が、除算器61で演算されるので、この演算値に基づいて、FIFOメモリ31のデータ書込からデータ読み出までの時間を考慮して、書込リセット信号XWRESの出力タイミングを適切に調整することが可能になる。

【0086】【第2の実施の形態】本発明の第2の実施の形態を、図11ないし図14を参照して説明する。図11は本実施の形態の演算判定回路の構成を示す回路図、図12は本実施の形態の書込・読み出制御回路の構成を示す回路図、図13は本実施の形態の処理選択回路の構成を示す回路図、図14は図11の動作を示すタイムチャートである。

【0087】本実施の形態では、ディジタル複写機1Aの信号処理部3Aに、請求項5記載の発明の構成に対応して、図11に示すような演算判定回路75が設けられている。

【0088】演算判定回路75には、読み出クロックをカウントするカウンタ57と、書込クロックをカウントするカウンタ58とが設けられ、カウンタ57、58の出力端子は、それぞれフリップフロップ59、60を介して、除算器61とコンパレータ65とに接続されている。また、OR回路67の出力端子が、反転回路を介してカウンタ57、58のリセット端子に接続され、カウンタリセット生成回路66の出力端子が、反転回路を介してOR回路67の入力端子に接続されている。また、カウンタ57、58のRC信号（リップルキャリー信号）端子が、カウンタリセット生成回路66に入力され、さらに、RC信号端子は、反転回路を介してOR回路68の入力端子に接続され、OR回路68の出力信号が、フリップフロップ59、60の入力端子と除算器61のイネーブル端子とに接続されている。

【0089】また、本実施の形態では、図12に示すように、請求項6記載の発明の構成に対応する書込・読み出制御回路76が設けられており、コンパレータ65の出力端子が反転回路を介してAND回路72の一方の入力端子に接続され、AND回路72の出力端子が反転回路を介してFIFOメモリ31のイネーブル端子に接続されている。一方、カウンタ58のRC信号端子が反転回路を介してOR回路70の一方の入力端子に接続さ

れ、OR回路70の他方の入力端子には、カウンタ57、58のリセット端子が反転回路を介して接続され、OR回路70の出力端子が反転回路を介して、フリップフロップ71のセット端子に接続され、フリップフロップ71のリセット端子にはカウンタ57のRC信号端子が接続されている。そして、フリップフロップ71の出力端子が、反転回路を介してAND回路72の他方の入力端子に接続されている。

【0090】さらに、本実施の形態では、図13に示すように、請求項7記載の発明の構成に対応する制御選択回路77が設けられており、AND回路72の出力端子が、反転回路を介してOR回路78の一方の入力端子に接続され、OR回路78の他方の入力端子には、処理選択信号が反転回路を介して入力され、OR回路78の出力端子が、反転回路を介してFIFOメモリ31のイネーブル端子に接続されている。

【0091】このような構成の本実施の形態では、演算判定回路75は、図14に示すようなタイミングで動作が行われ、書きクロックの周波数fWと、読み出クロックの周波数fRとの間にfW< fRの関係があり、カウンタ57がカウンタ58よりも早くカウントを終了すると、先ずカウンタ57からRC信号が出力され、次いでカウンタ58からR信号が出力され、これらのRC信号はフリップフロップ59、60にクロックとして供給される。このために、それぞれのフリップフロップ59、60にカウント値が保持され、イネーブル信号によって除算器61で除算が行われ、カウンタ57の出力が“FFF”のRC信号出力時に、カウンタ58が“CE84”であれば、FFF/CE84の演算によって、読み出クロック/書きクロック周波数の比fR/fWが演算される。

【0092】一方、fW> fRでカウンタ58がカウンタ57よりも早くカウントを終了すると、先ずカウンタ58からRC信号が出力され、次いでカウンタ57からR信号が出力され、これらのRC信号はフリップフロップ59、60にクロックとして供給される。この場合も同様にして、除算器61による除算が行われる。

【0093】本実施の形態では、カウンタ57、58のRC信号によって保持された計数データが、コンパレータ65に入力され、コンパレータ65は何れかのカウンタの計数が終了した時点で、各計数データの比較を行い、カウンタ57の計数データPとカウンタ58の計数データQについて、P>Qが真であるか否かを判定し、真の場合には、書きクロック周波数fW<読み出クロック周波数fRと判定し、P>Qが偽であると、書きクロック周波数fW>読み出クロック周波数fRと判定し、P>Qが偽の場合はFIFOメモリ31のアドレスの逆転の可能性があることを事前に判断する。

【0094】システムのリセット終了後に、カウンタ57、58の計数速度の大小比較の動作が実施されるよう

に、カウンタ57、58の動作が開始される。また、何れかのカウンタの計数が終了した時点で、カウンタリセット生成回路66から、リセット信号がカウンタ57、58に入力され、計数値のクリアが行われる。

【0095】本実施の形態では、P>Qが真で書きクロック周波数fW<読み出クロック周波数fRと判定された時、フリップフロップ71のQ出力は、R入力によって“0”となり、AND回路72の一方の入力端子の信号の論理値は“1”となり、また、コンパレータ65の出力端子の信号が、反転回路を介して与えられ、AND回路72の他方の入力端子の信号の論理値は“1”となる。このために、AND回路72の出力端子の信号が、反転回路を介して与えられるFIFOメモリ31のイネーブル端子の信号の論理値は“1”となる。

【0096】本実施の形態では、このようにP>Qが真と判定されると、AND回路72によって、直接FIFOメモリ31をイネーブル状態とすることもできるが、図13に示すように、OR回路78の一方の入力端子に反転回路を介して処理選択信号を入力し、OR回路78の他方の入力端子に、AND回路72の出力信号を反転回路を介して入力させ、処理選択信号によって、FIFOメモリ31のイネーブル制御を選択的に行うことも可能である。この場合の処理選択信号の設定は、システム上のCPUからのレジスタ設定やI/Oポートの制御により行われる。

【0097】このように、本実施の形態によると、読み出クロックfRと書きクロックfWの速度比が除算器61で演算され、同時にコンパレータ65によって、読み出クロックfRと書きクロックfWのクロック速度の大小が判定され、書きクロック周波数fW<読み出クロック周波数fRと判定された場合に、FIFOメモリ31の書き・読み出制御が、必要に応じて処理選択信号に基づいて行われるので、アドレスの逆転のない信頼性のあるFIFOメモリ31の書き・読み出制御を、システムの柔軟性を向上させて行うことが可能になる。

【0098】

【発明の効果】請求項1記載の発明によると、ドットマトリクスの画像データの1ライン未満の記憶容量を具備し、データの書き込みとデータの読み出しが独立して同時に実行可能なFIFOメモリに対して、データ書き込み手段によって、書き込みアドレスが、書き込み開始アドレスから書き込み終端アドレスまで順次インクリメントされ、書き込み終端アドレスから書き込み開始アドレスに戻って、FIFOメモリに1ラインごとの画像データが繰り返して書き込まれ、データ読み出し手段によって、読み出しがアドレスが、読み出しが開始アドレスから読み出しが終端アドレスまで順次インクリメントされ、読み出しが終端アドレスから読み出しが開始アドレスに戻って、FIFOメモリから1ラインごとの画像データが繰り返して読み出されるが、設定手段によって、1ライン分のドット数とFIFOメモリの最大記憶容量とが、それぞれ独

19

立に設定されるので、ファームウェアにおける1ライン分のドット数とFIFOメモリ容量間のデータ管理の負担を低減することが可能になる。

【0099】請求項2記載の発明によると、ドットマトリクスの画像データの1ライン未満の記憶容量を具備し、データの書込とデータの読出とが独立して同時に実行可能なFIFOメモリに対して、データ書込手段によって、書込アドレスが、書込開始アドレスから書込終端アドレスまで順次インクリメントされ、書込終端アドレスから書込開始アドレスに戻って、FIFOメモリに1ラインごとの画像データが繰り返して書込まれ、データ読出手段によって、読出アドレスが、読出開始アドレスから読出終端アドレスまで順次インクリメントされ、読出終端アドレスから読出開始アドレスに戻って、FIFOメモリから1ラインごとの画像データが繰り返して読み出されるが、速度比演算手段によって、データ書込手段の書込クロックと、データ読出手段の読出クロックとの速度比が演算されるので、外部から書込クロックと読出クロックとをそれぞれ任意に供給して、汎用性のある動作を行わせることができる。

【0100】請求項3記載の発明によると、請求項1記載の発明で得られる効果に加えて、繰返数設定手段によって、1ラインのドット数が、FIFOの記憶容量で除算されて得られる除算値に1を加え、少数点以下を省略した数値が繰返数として設定され、アクセス制御手段によって、繰返数に基づいて、FIFOメモリのアドレスに対するアクセス制御が行われるので、外部ファームウェアによる書込開始アドレスと読出開始アドレス間の位相差の算出が不要になり、システムの制御効率を向上させることができる。

【0101】請求項4記載の発明によると、請求項2記載の発明で得られる効果に加えて、位相差設定手段によって、速度比演算手段で演算された速度比に基づいて、データ書込手段の書込開始タイミングと、データ読出手段の読出開始タイミングとの位相差が、相対的に可変設定されるので、ファームウェアの介在なしに位相差が設定され、FIFOメモリの制御が効率よく行われる。

【0102】請求項5記載の発明によると、請求項2記載の発明で得られる効果に加えて、速度判定手段によって、書込クロックの速度と読出クロックの速度との大小が判定されるので、アドレスの逆転の可能性を的確に把握することができる。請求項6記載の発明によると、請求項2記載の発明で得られる効果に加えて、書込・読出制御手段によって、判定手段の判定結果に基づいて、データ書込手段とデータ読出手段とが制御されるので、FIFOメモリの書込・読出制御をアドレスの逆転なしに行い、システムの信頼性を向上させることができる。

【0103】請求項7記載の発明によると、請求項6記載の発明で得られる効果に加えて、選択手段によつ

10

20

て、書込・読出制御手段の制御が、コマンド制御によって選択されるので、システムの動作の柔軟性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の繰返数設定手段の構成を示すブロック図である。

【図2】同実施の形態の速度比較演算手段と位相差設定手段の構成を示すブロック図である。

【図3】同実施の形態が適用されるディジタル複写機の構成を示すブロック図である。

【図4】図3の画像入力部の構成を示すブロック図である。

【図5】図3の印刷制御部の構成を示す回路図である。

【図6】同実施の形態の画像データの書込・読出動作を示すタイムチャートである。

【図7】同実施の形態の書込・読出動作を示す第1の特性図である。

【図8】同実施の形態の書込・読出動作を示す第2の特性図である。

【図9】同実施の形態の書込・読出動作時のアドレスの変化を示す特性図である。

【図10】同実施の形態の書込・読出動作時のアドレスの変化を示す詳細特性図である。

【図11】本発明の第2の実施の形態の演算判定回路の構成を示す回路図である。

【図12】同実施の形態の演算判定回路と書込・読出制御回路の構成を示す回路図である。

【図13】同実施の形態の演算判定回路、書込・読出制御回路及び処理選択回路の構成を示す回路図である。

30 【図14】図11の動作を示すタイムチャートである。

【図15】従来のディジタル複写機の構成を示す説明図である。

【符号の説明】

1A ディジタル複写機

3A 信号処理部

4 画像印刷部

19 LD変調部

20 LD

23 ポリゴンミラー

26 感光体ドラム

27 同期検知器

30 画像入力部

31 FIFOメモリ

32 印刷制御部

50 レジスタ

51、55 演算回路

53 除算器

54 加算器

57、58 カウンタ

50 56 位相演算器

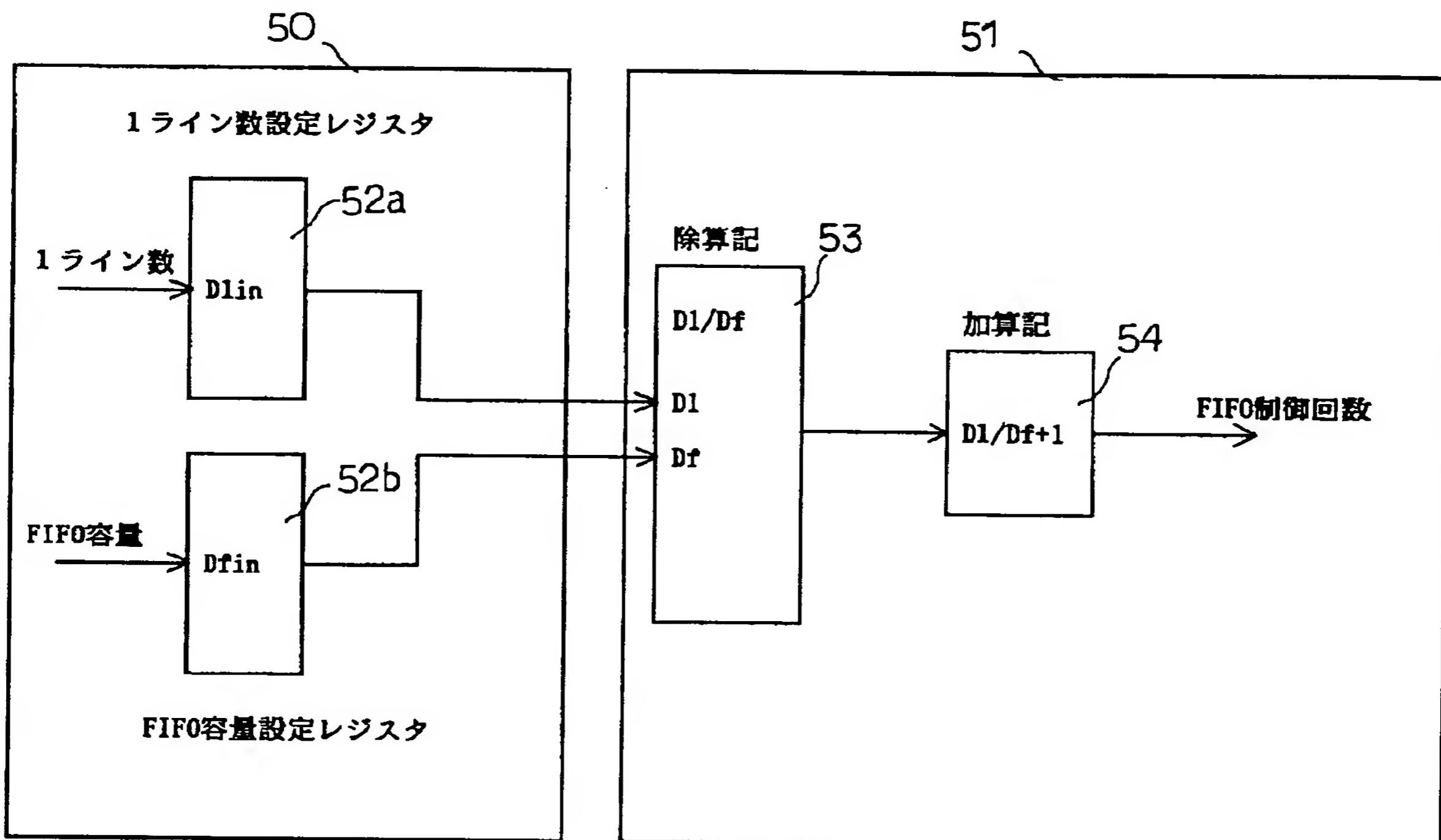
21

- 59、60 フリップフロップ
61 除算器
65 コンパレータ

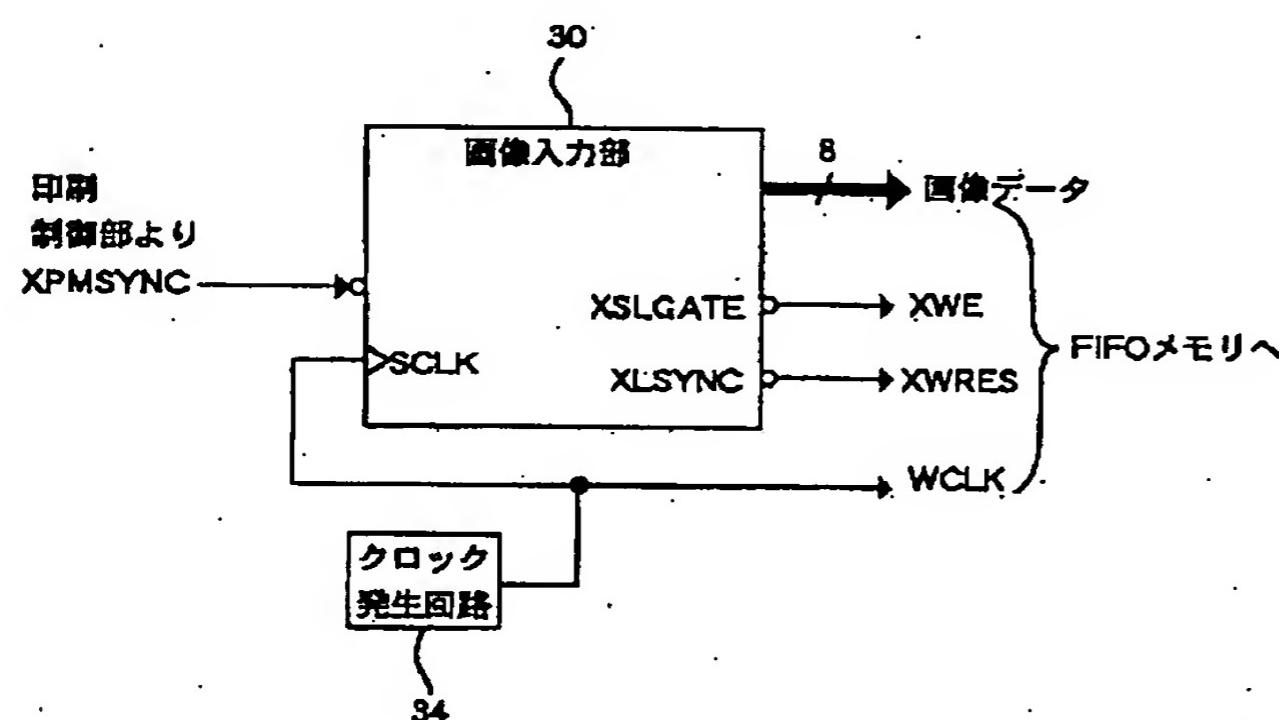
22

- 76 書込・読み出制御回路
77 処理選択回路

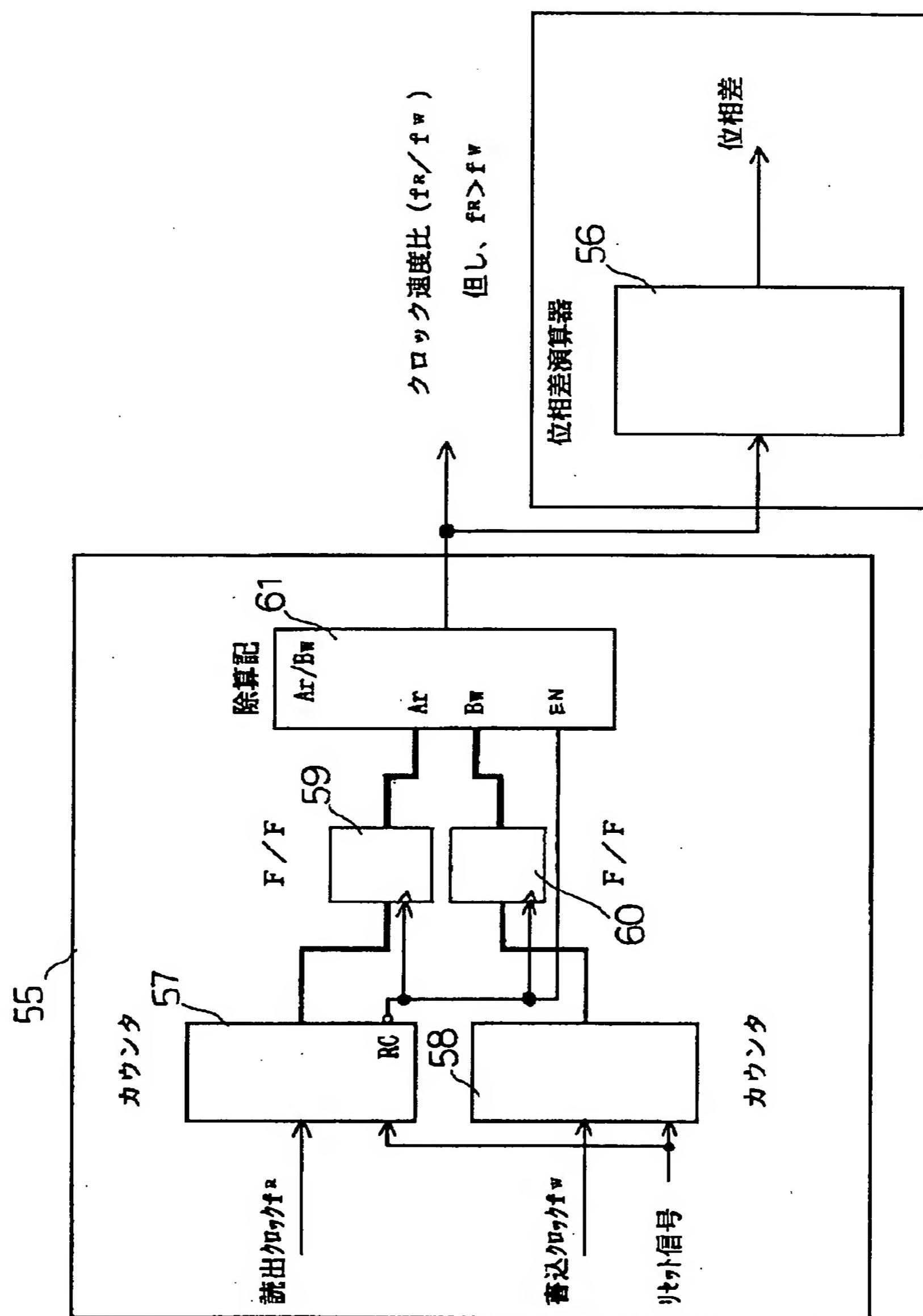
【図1】



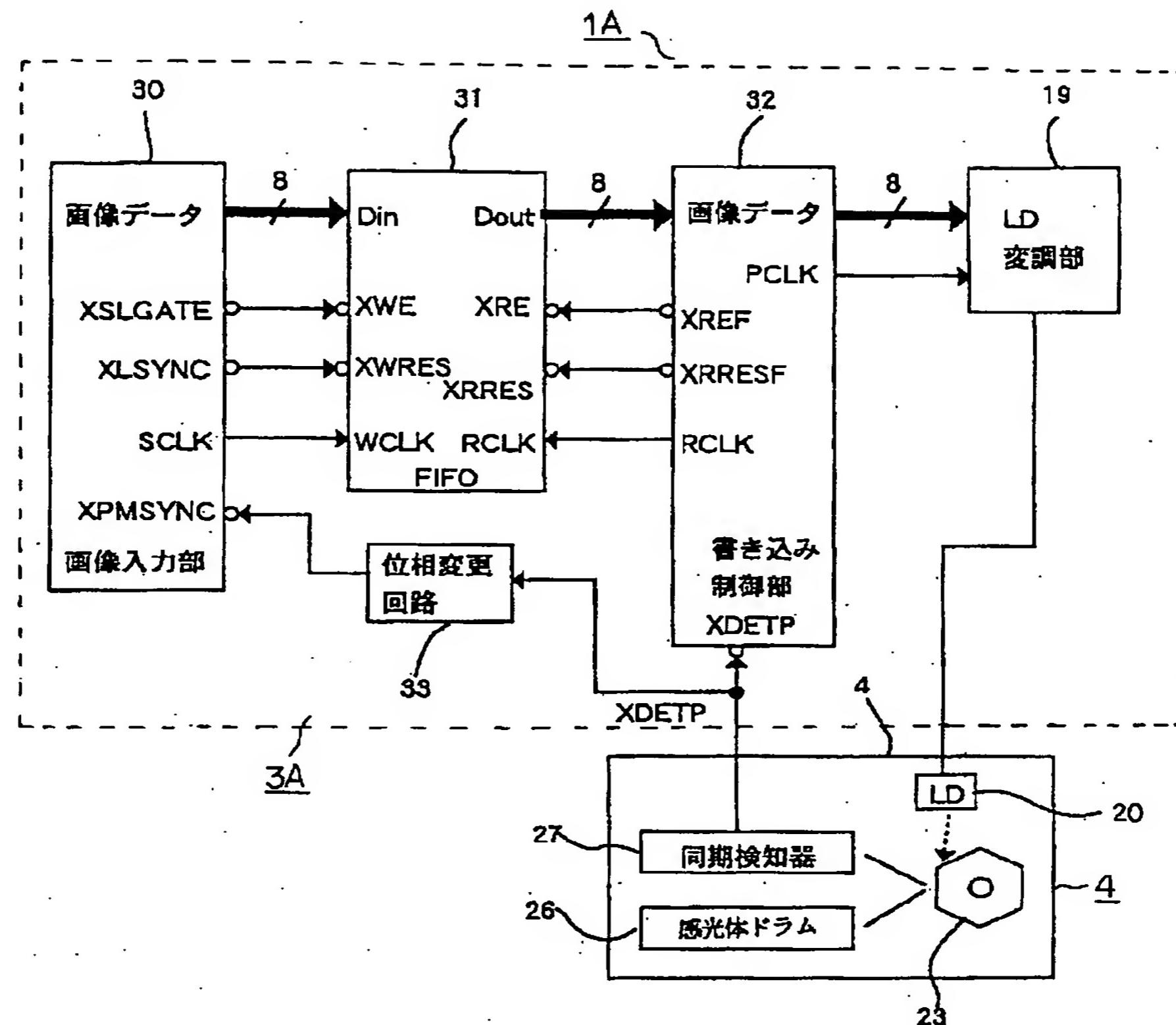
【図4】



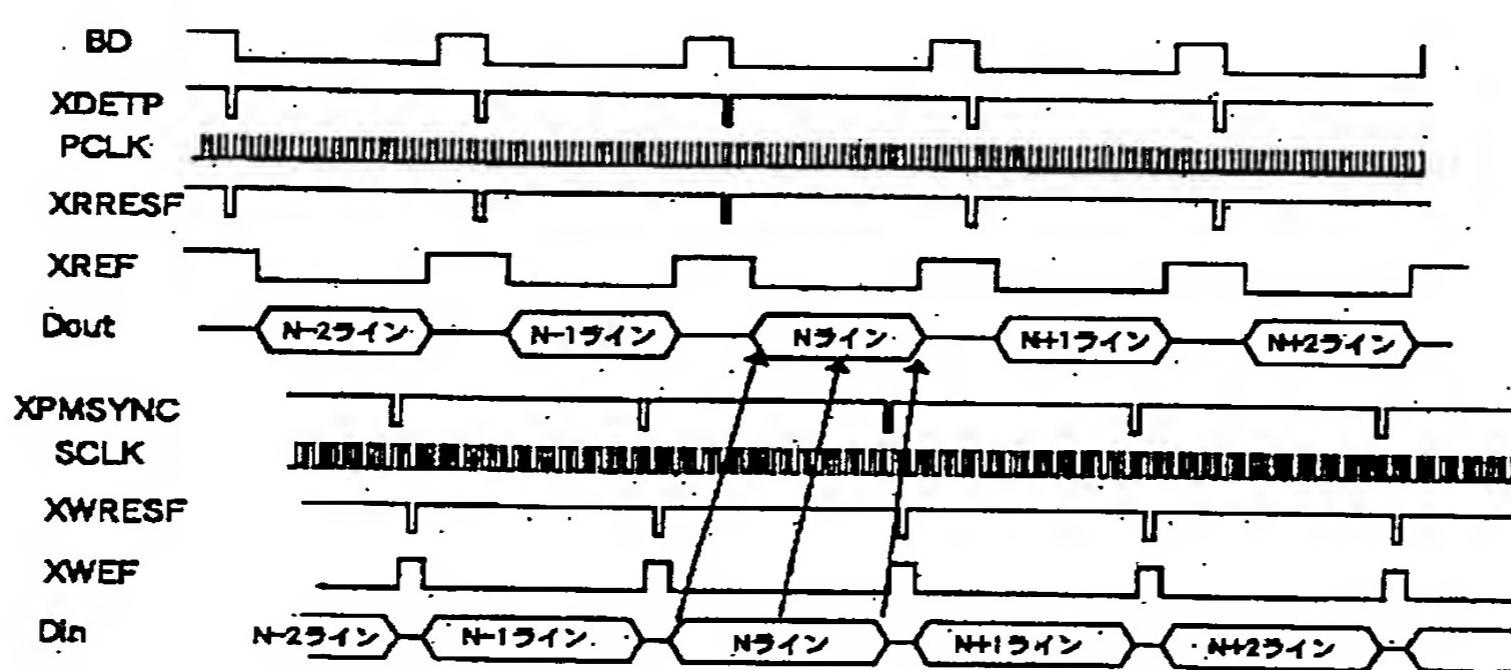
【図2】



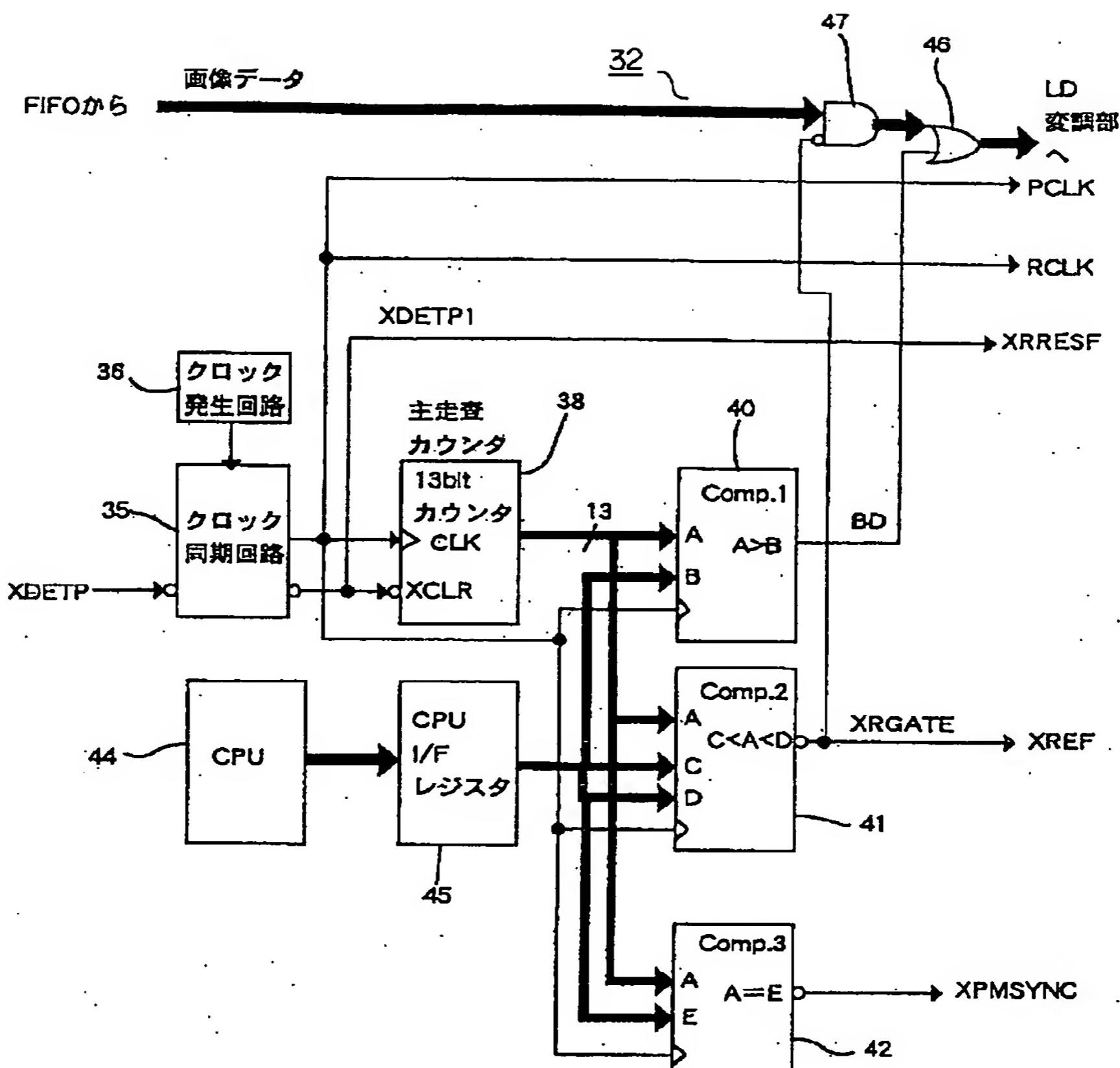
【図3】



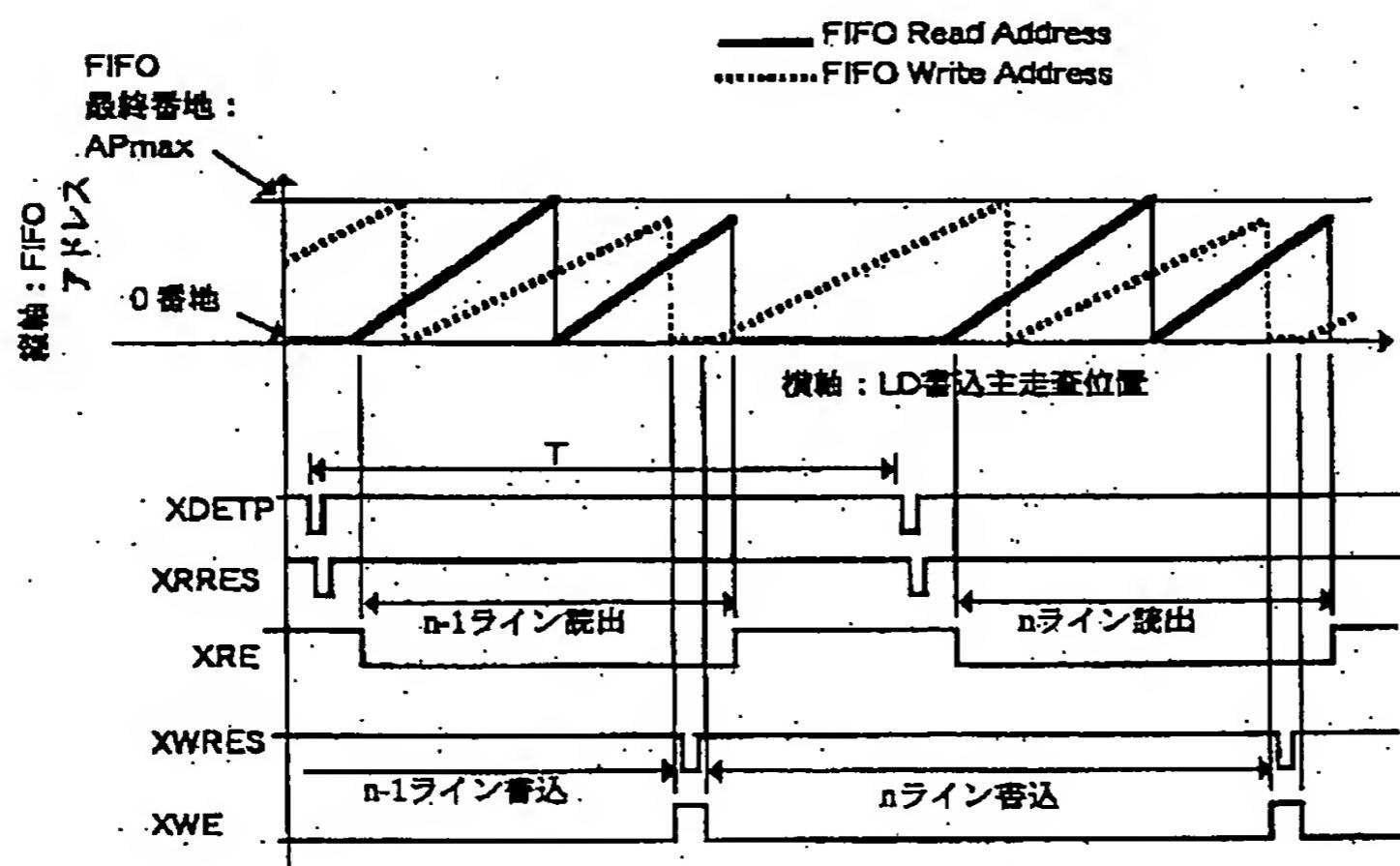
【図6】



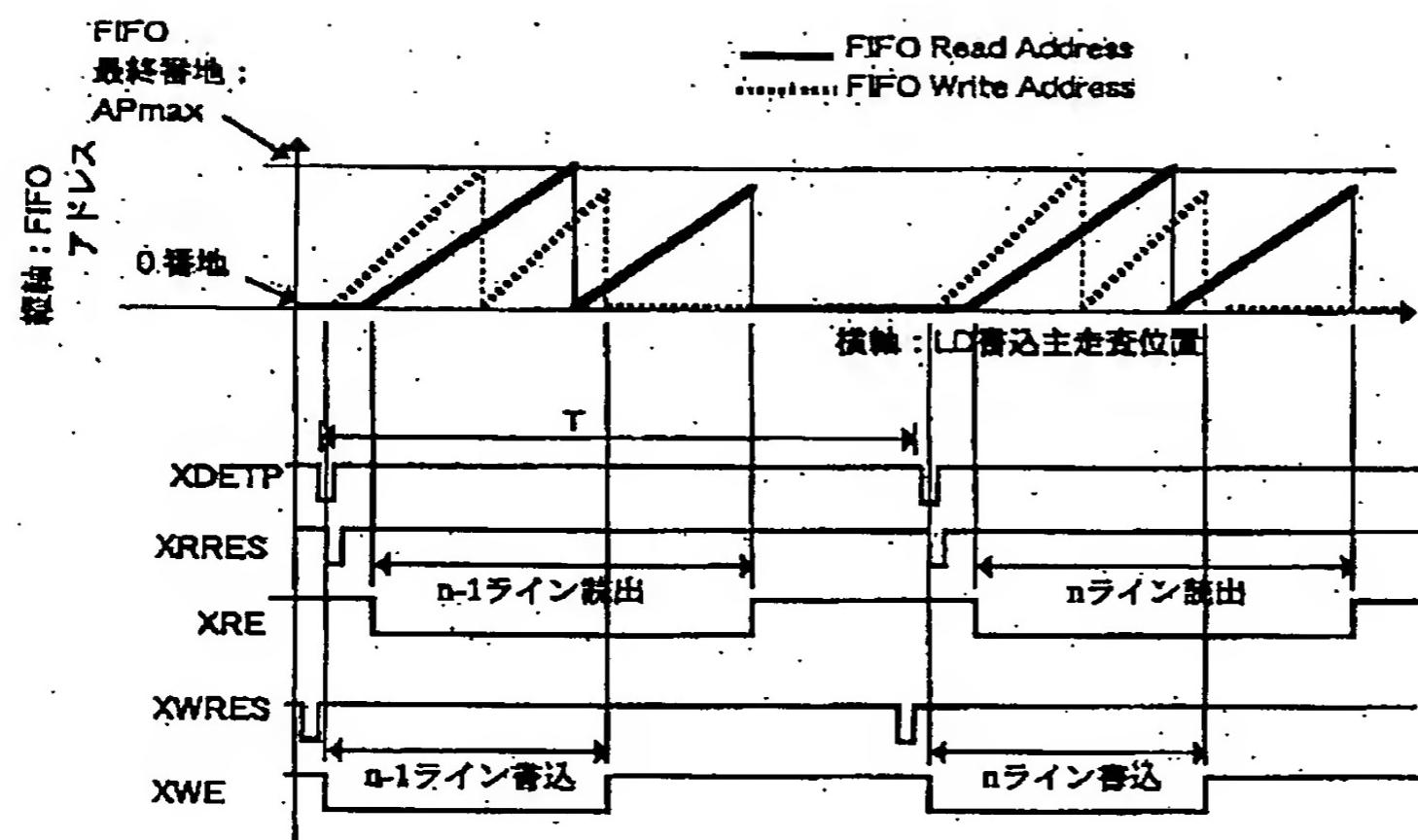
【図5】



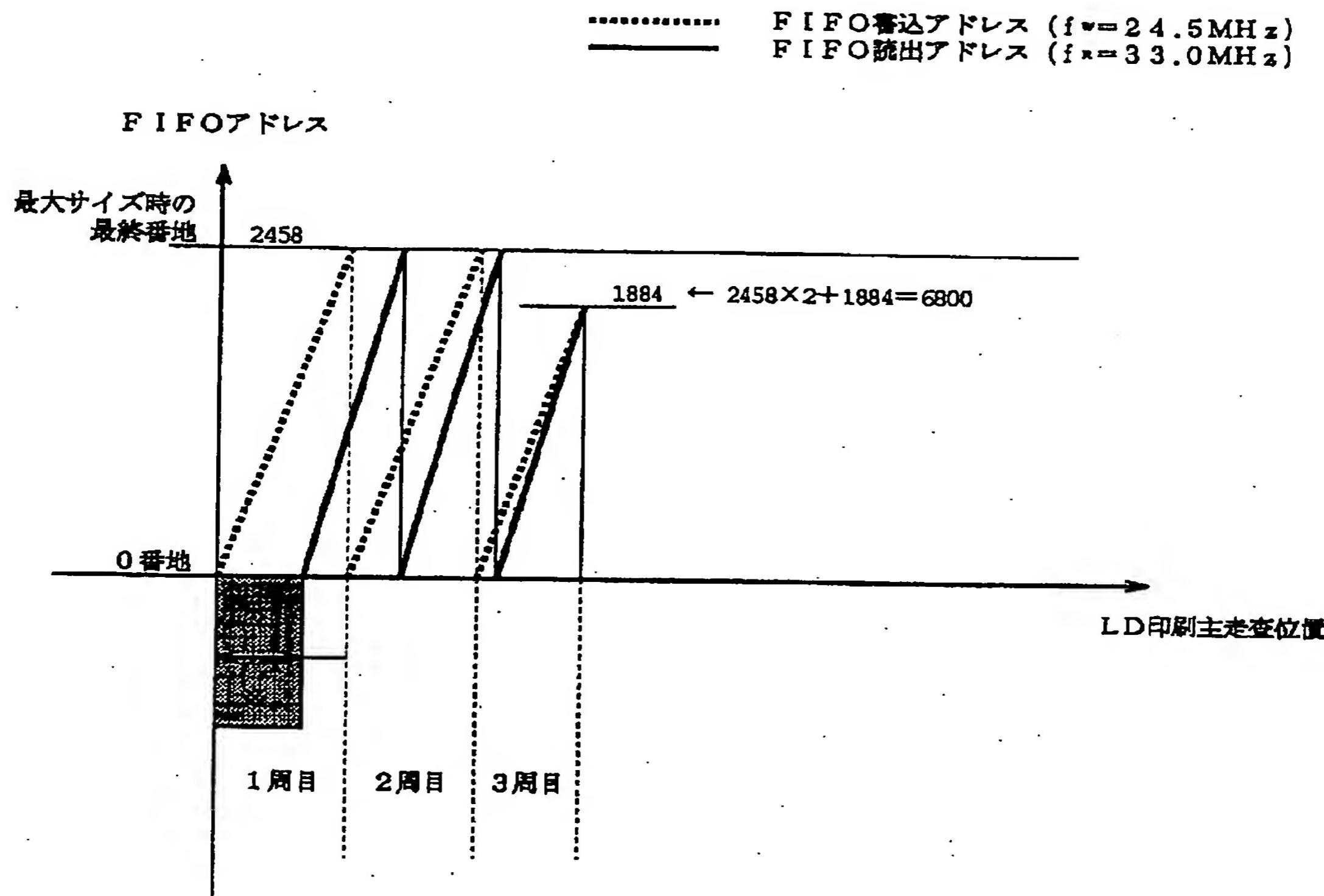
【図7】



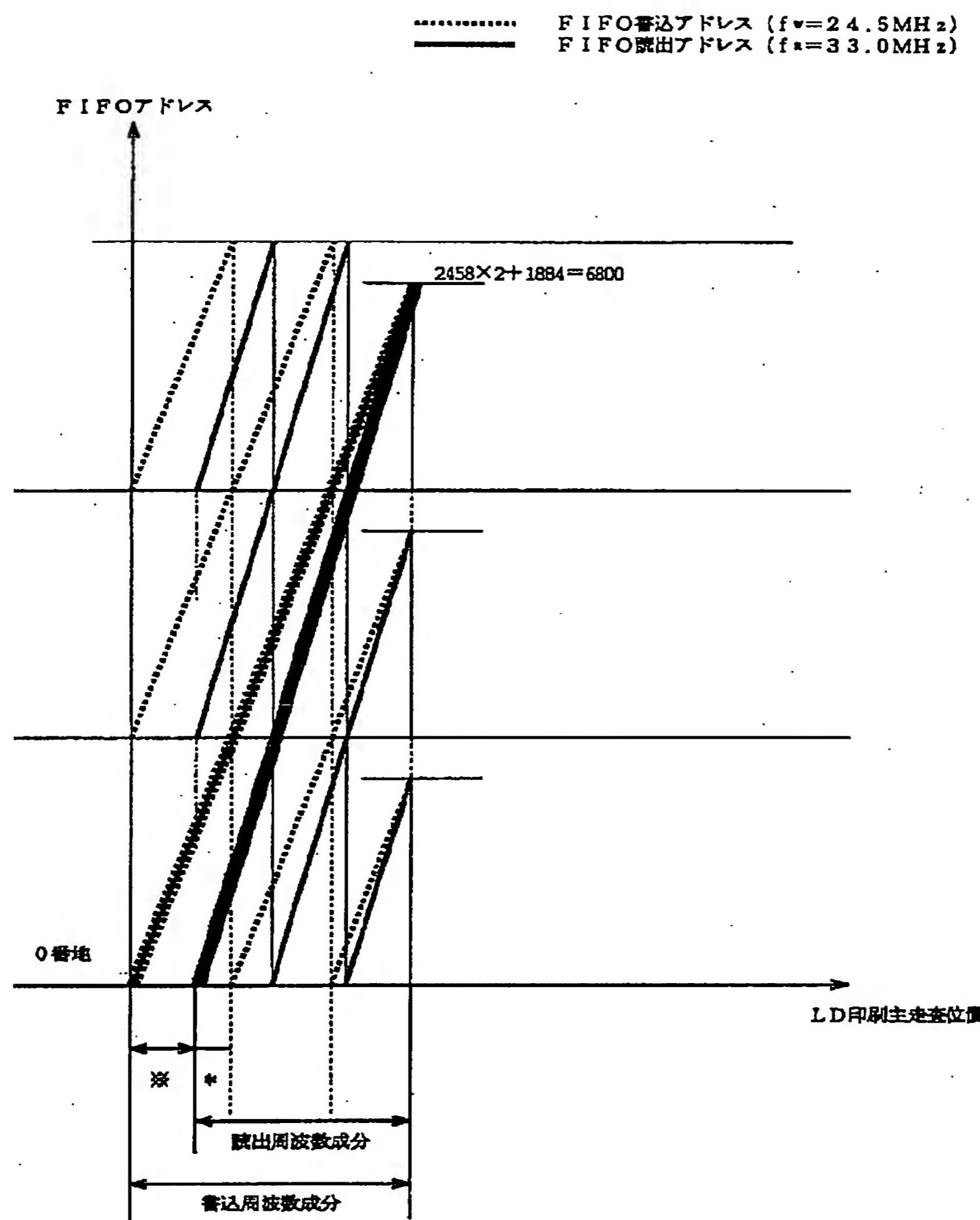
【図8】



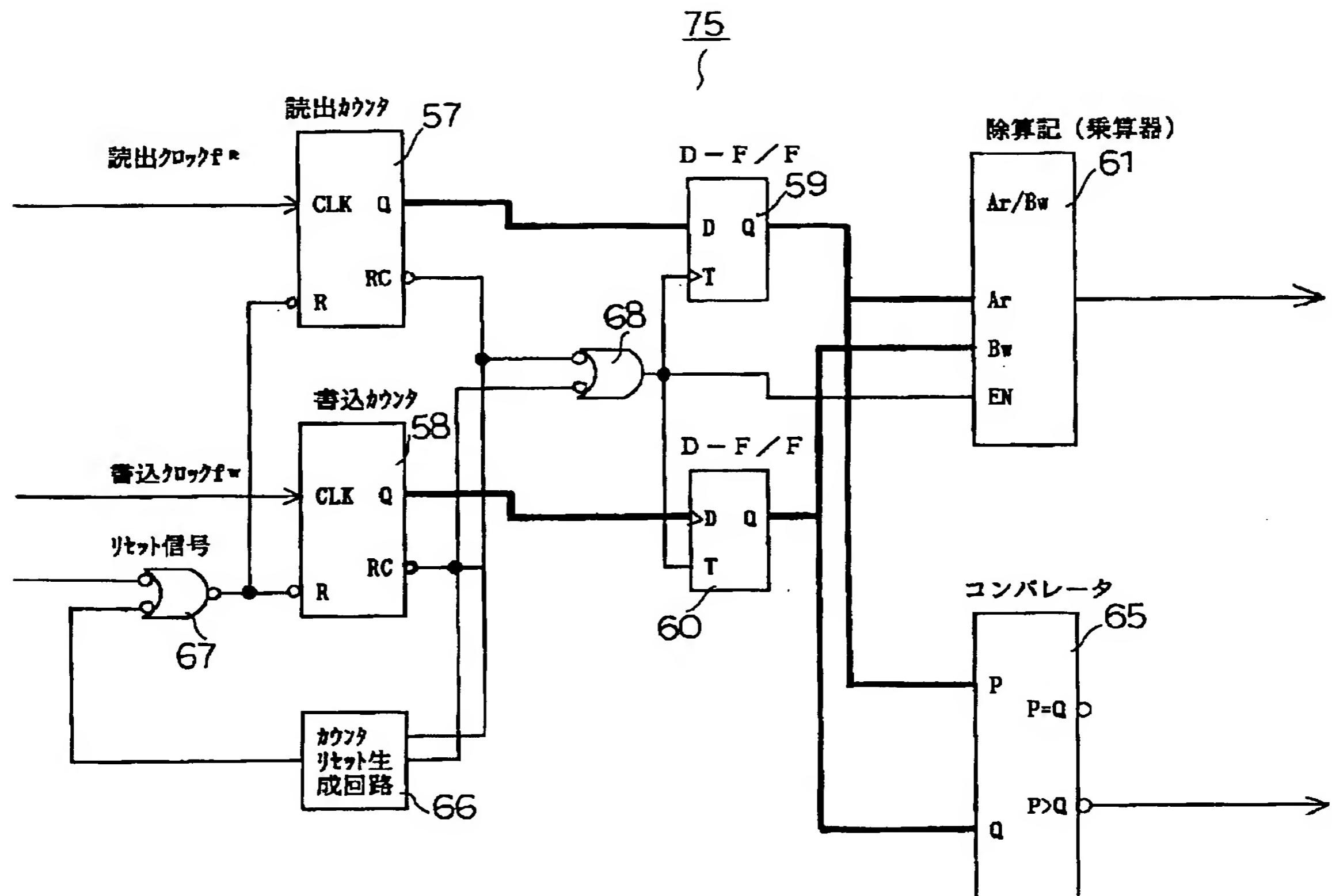
【図9】



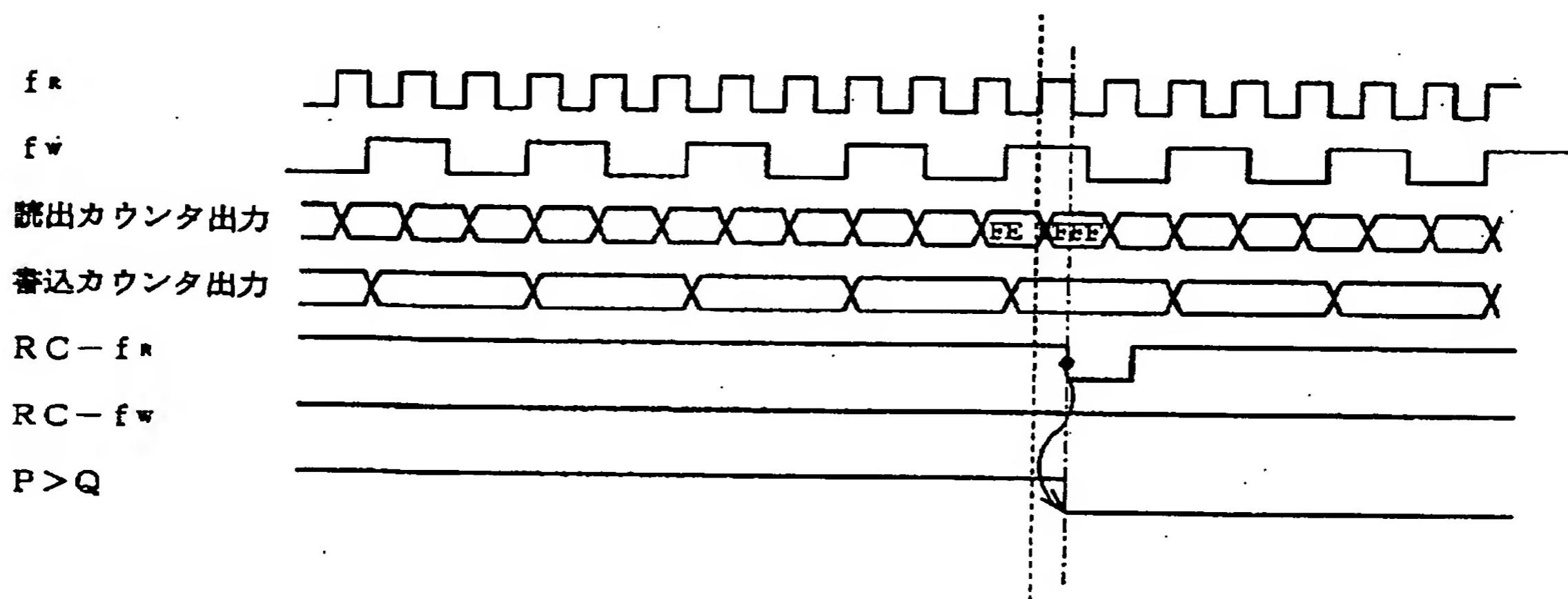
【図10】



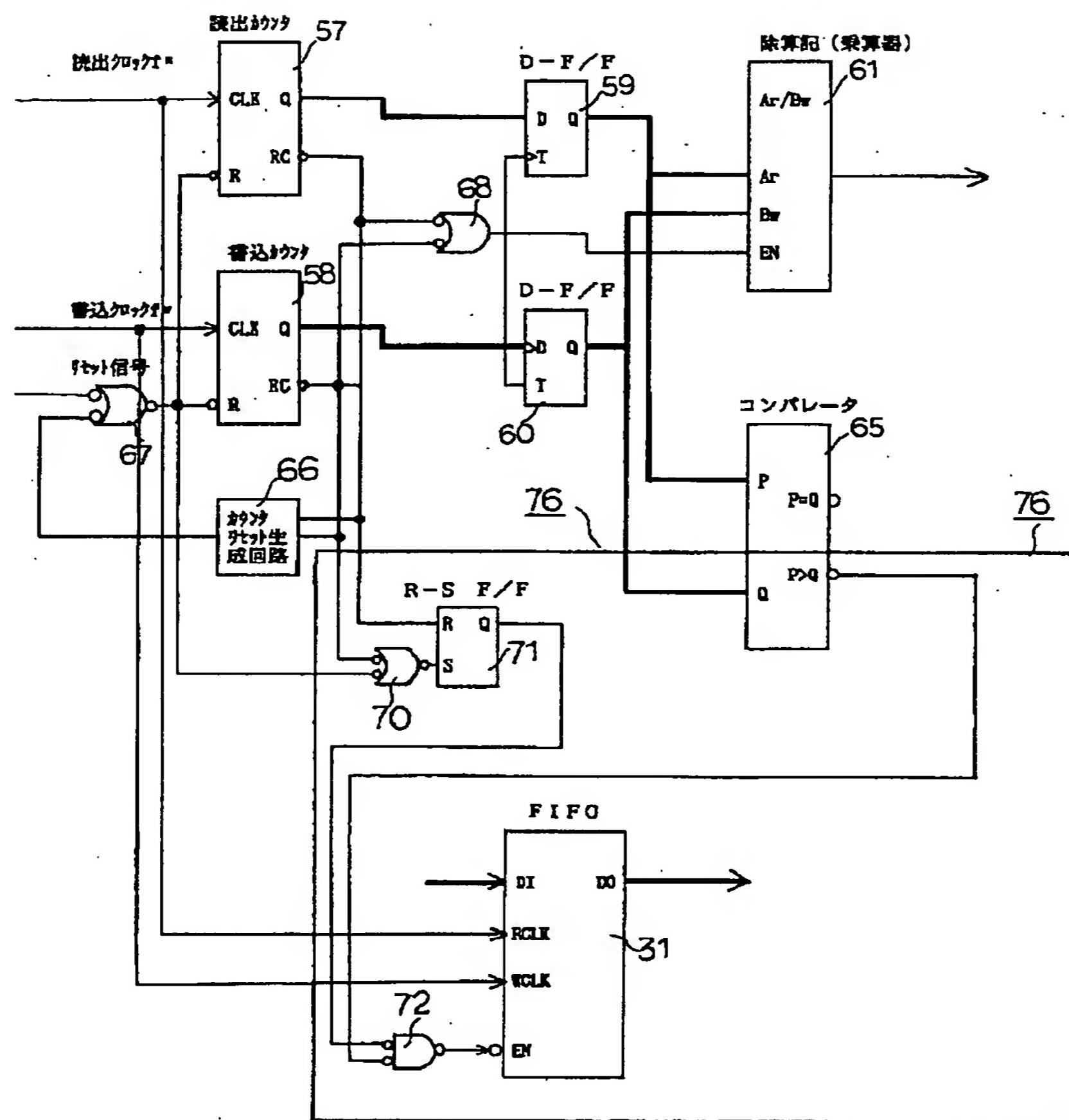
【図11】



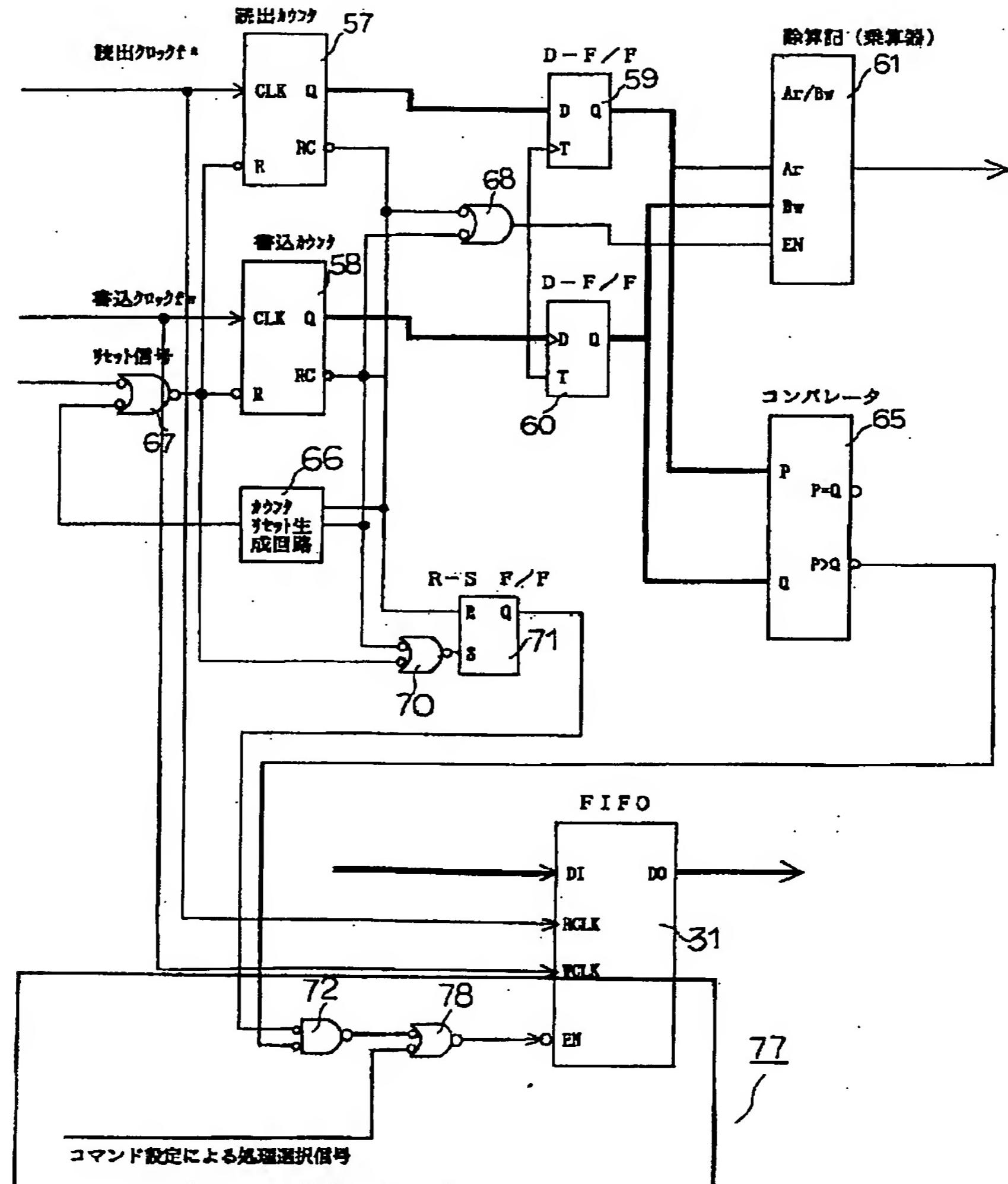
【図14】



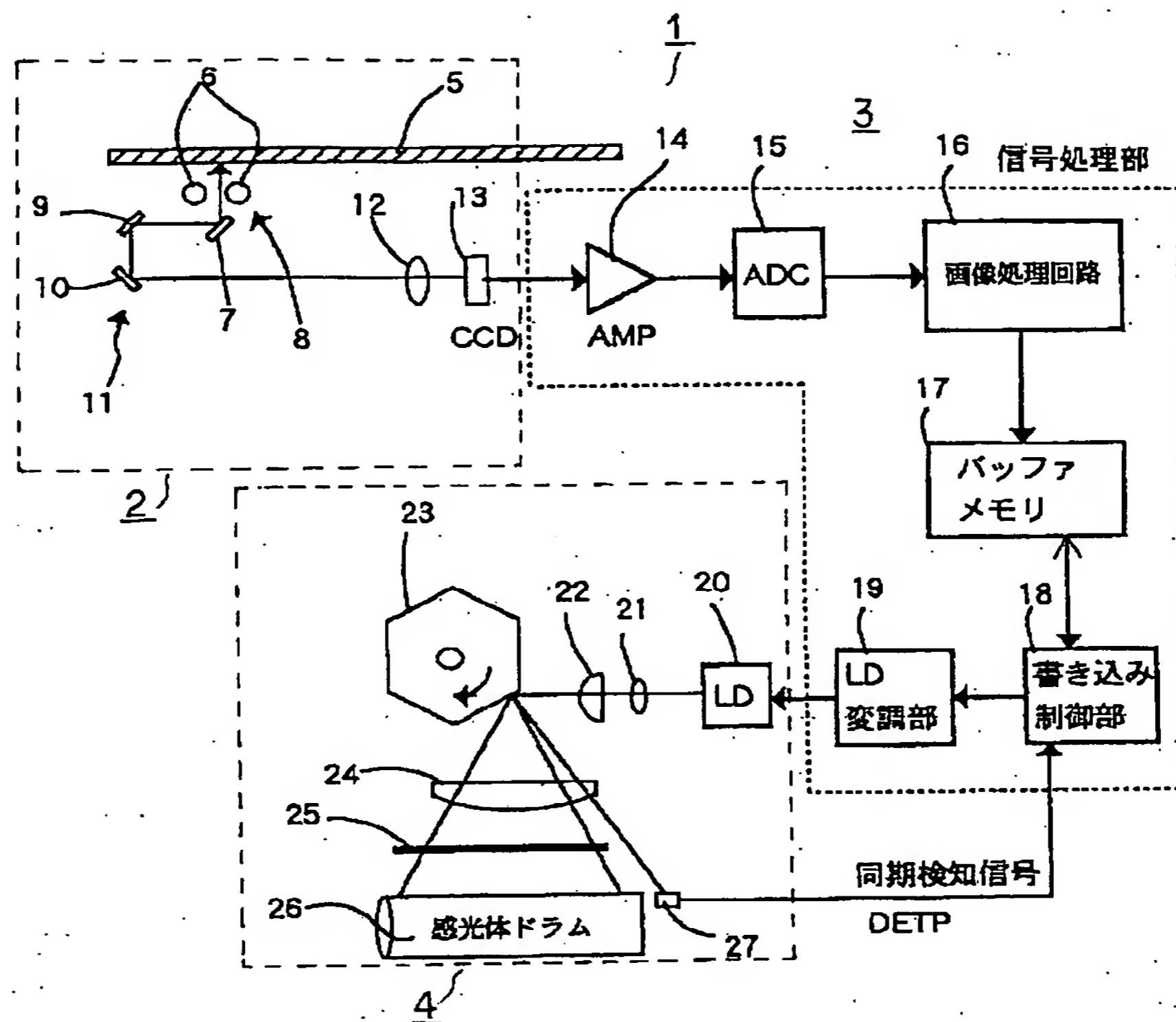
【図12】



【図13】



【図15】



THIS PAGE BLANK (USPTO)